

Docket No. 0057-2567.2YY

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuo YAMAGUCHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SAME AND METHOD OF DESIGNING SAME



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

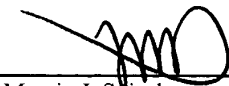
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	10-367265	December 24, 1998
Japan	11-177091	June 23, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913

Fourth Floor  
1755 Jefferson Davis Highway  
Arlington, Virginia 22202  
Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 11/98)

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年12月24日

出 願 番 号

Application Number:

平成10年特許願第367265号

出 願 人

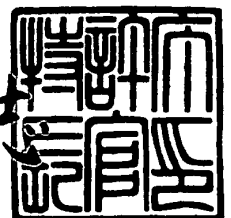
Applicant (s):

三菱電機株式会社

1999年 7月19日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建志



出証番号 出証特平11-3051274

【書類名】 特許願

【整理番号】 51470901

【提出日】 平成10年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 22

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 山口 泰男

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 岩松 俊明

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 一法師 隆志

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 宮本 昭一

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 前田 茂伸

【特許出願人】

    【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806920

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の半導体装置であって、

前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記 S O I 層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、

前記 S O I 層に設けられ、外部から電位固定可能なボディー領域とを備え、

前記素子分離領域のうち少なくとも 1 つの領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記 S O I 層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも 1 つの素子形成領域及び前記ボディー領域と接して形成されることを特徴とする、

半導体装置。

【請求項 2】 前記複数の素子形成領域は、第 1 の素子用の複数の第 1 の素子形成領域と第 2 の素子用の複数の第 2 の素子形成領域とを含み、前記素子分離領域は前記 S O I 層を貫通した完全絶縁領域からなる完全分離領域をさら含み、

前記複数の第 1 の素子形成領域はそれぞれ前記部分分離領域によって素子分離され、前記複数の第 2 の素子形成領域はそれぞれ前記部分分離領域によって素子分離され、前記複数の第 1 の素子形成領域と前記複数の第 2 の素子形成領域とは前記完全分離領域によって素子分離される、

請求項 1 記載の半導体装置。

【請求項 3】 前記複数の素子形成領域は、第 1 の回路用の複数の素子形成領域と第 2 の回路用の複数の素子形成領域とを含み、

前記第 1 の回路用の複数の素子形成領域は前記 S O I 層を貫通した完全分離領域によって素子分離され、前記第 2 の回路用の複数の素子形成領域は前記部分分離領域によって素子分離される、

請求項1記載の半導体装置。

【請求項4】 前記SOI層は第1及び第2の部分SOI層を含み、前記第1の部分SOI層の膜厚は前記第2の部分SOI層の膜厚よりも薄く形成され、前記複数の第1の素子形成領域は前記第1の部分SOI層に形成され、前記複数の第2の素子形成領域は前記第2の部分SOI層に形成される、請求項3記載の半導体装置。

【請求項5】 前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記SOI層を貫通した完全分離領域によって素子分離される、請求項1記載の半導体装置。

【請求項6】 前記複数の素子形成領域のうち、前記部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域の前記SOI層表面から形成深さは、前記部分分離領域の形成深さより浅い請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項7】 前記半導体領域はポリシリコン領域を含む、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項8】 前記部分絶縁領域は誘電率が前記埋め込み絶縁層より低い低誘電率膜を含む、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項9】 前記部分絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられ、誘電率が前記部分絶縁膜より低い低誘電率膜とを含む、

請求項1ないし請求項5のうちいずれか1項に記載の半導体装置。

【請求項10】 前記複数の素子分離領域はそれぞれ所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成される、請求項1ないし請求項9のうちいずれか1項に記載の半導体装置。

【請求項11】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記 S O I 層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、

外部から電位固定可能なボディー領域とを備え、

前記ボディー領域は、前記複数の素子形成領域のうち、少なくとも 1 つの素子形成領域の表面あるいは裏面に接するように形成される、  
半導体装置。

【請求項 12】 前記ボディー領域は、前記埋め込み絶縁層の上層部に形成され、前記少なくとも 1 つの素子形成領域の裏面に接することを特徴とする、  
請求項 11 記載の半導体装置。

【請求項 13】 前記ボディー領域は、前記埋め込み絶縁層を貫通して形成され、前記少なくとも 1 つの素子形成領域の裏面に接することを特徴とする、  
請求項 11 記載の半導体装置。

【請求項 14】 前記ボディー領域は、前記少なくとも 1 つの素子形成領域の上方に設けられ、前記少なくとも 1 つの素子形成領域の表面に接することを特徴とする、  
請求項 11 記載の半導体装置。

【請求項 15】 (a) 半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、

(b) 前記 S O I 層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、

(c) 前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチうち少なくとも 1 つのトレンチ内の絶縁膜と前記少なくとも 1 つのトレンチ下の前記 S O I 層とにより部分分離領域が構成され、

(d) 前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、  
半導体装置の製造方法。

【請求項 16】 前記複数のトレンチは第 1 及び第 2 のトレンチを含み、前記少なくとも 1 つのトレンチは前記第 1 のトレンチを含み、

前記ステップ (b) の後、ステップ (c) の前に、

(e) 前記第 1 及び第 2 のトレンチのうち、前記第 2 のトレンチの底部から前記 S O I 層をさらに除去して、前記 S O I 層を貫通させるステップをさらに備え、

前記ステップ (c) によって、前記第 1 のトレンチ内の絶縁膜と前記第 1 のトレンチ下の前記 S O I 層とにより前記部分分離領域が構成され、前記 S O I 層を貫通した前記第 2 のトレンチ内の絶縁膜により完全分離領域が構成される、  
請求項 15 記載の半導体装置の製造方法。

【請求項 17】 前記第 2 のトレンチの形成幅は前記第 1 のトレンチの形成幅より広く、

前記ステップ (b) は、

(b-1) 前記第 1 のトレンチの底面は塞がり、第 2 のトレンチの底面の中心部は露出する程度に、前記第 1 及び第 2 のトレンチそれぞれの側面に側壁体を形成するステップと、

(b-2) 前記側壁体をマスクとして前記第 2 のトレンチの中心部下の前記 S O I 層を貫通させるステップと、  
を備える、

請求項 16 記載の半導体装置の製造方法。

【請求項 18】 前記ステップ (b) の後、

(f) 前記複数のトレンチの下方の前記 S O I 層に不純物を導入して高濃度領域を形成するステップをさらに備える、

請求項 16 あるいは請求項 17 記載の半導体装置の製造方法。

【請求項 19】 (a) 半導体基板、埋め込み絶縁層及びシリコン層からなる S O I 構造の S O I 基板を準備するステップと、

(b) 前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、

(c) 前記シリコン層の前記貫通部に前記シリコン層の表面から突出するように第 1 の絶縁膜を埋め込むとともに、前記シリコン層上に第 2 の絶縁膜を選択的に形成するステップと、



(d)前記第2の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とによりSOI層が構成され、前記第2絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第1の絶縁膜により完全分離領域が構成され、

(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、

半導体装置の製造方法。

【請求項20】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して、各々が前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、

(c)前記第1及び第2のトレンチのうち、前記第1のトレンチ内の底面及び側面上にポリシリコン層を選択的に堆積するステップと、

(d)前記第1及び第2のトレンチに絶縁膜を埋めるステップと、

(e)前記第1のトレンチ内の前記ポリシリコン層を、前記第1のトレンチの開口部から底面の方向に部分的に酸化させるステップとをさらに備え、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ内に酸化されずに残存した前記ポリシリコン層とにより部分分離領域が構成され、前記第2のトレンチ内の絶縁膜により完全分離領域が構成され、

(f)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、

半導体装置の製造方法。

【請求項21】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して複数の素子形成領域を形成するステップと、

(c)前記複数の素子形成領域をマスクしながら、前記埋め込み絶縁層に対して

等方性エッチングを施し、前記複数の素子形成領域のうちの少なくとも1つの素子形成領域の端部裏面を露出させつつ、前記埋め込み絶縁層の上層部を除去し穴部を形成するステップと、

(d)前記穴部をポリシリコン層で埋め、前記ポリシリコン層を含み、前記少なくとも1つの素子形成領域の端部底面に電氣的接続関係を有するボディ領域を形成するステップと、

(e)前記SOI層内で前記複数の素子形成領域を絶縁分離するステップと、

(f)前記ボディ領域を外部から電位固定可能にするとともに、前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備える、  
半導体装置の製造方法。

【請求項22】 前記ステップ(d)は、

(d-1)前記少なくとも1つの素子形成領域の端部裏面からエピタキシャル成長させて、前記穴部にエピタキシャル成長層を形成するステップと、

(d-2)前記エピタキシャル層に接するように、前記穴部をポリシリコン層を埋め、前記エピタキシャル成長層と前記ポリシリコン層とからなるボディ領域を形成するステップと、

を備える請求項21記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はSOI構造の半導体装置に関する。

【0002】

【従来の技術】

図55に示すように、シリコン基板1、埋め込み酸化膜2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、SOI層3中のトランジスタ形成領域は完全酸化膜32によって完全に分離されていた。例えば、NMOSトランジスタ形成領域に形成される1単位のNMOSトランジスタは完全酸化膜32によって他のトランジスタから完全分離されていた。なお、図55の例ではSOI層3上を層間絶縁膜4で覆っている。

【0003】

図55において、完全酸化膜32によって他のトランジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドレイン領域5、ソース領域6、チャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8及びゲート酸化膜8上に形成されるゲート電極9から構成される。また、層間絶縁膜4上に形成された配線層22は、層間絶縁膜4中に設けられたコンタクト21を介してドレイン領域5あるいはソース領域6と電氣的に接続される。

【0004】

このように、従来のSOI構造の半導体装置は素子（トランジスタ）単位でSOI層中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間には完全に分離されラッチアップが原理的に起こらない構造を呈している。

【0005】

【発明が解決しようとする課題】

したがって、SOI構造でCMOSトランジスタを有する半導体装置を製造する場合は、微細加工技術で決まる最小分離幅を使用できチップ面積を縮小できるメリットがあった。しかしながら、衝突電離現象によって発生するキャリア（NMOSではホール）がチャネル形成領域に溜まり、これによりキンクが発生したり、動作耐圧が劣化したり、また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性がでる等の基板浮遊効果により生ずる種々の問題点があった。

【0006】

この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明にかかる請求項1記載の半導体装置は半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を呈し、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記SOI層に設けられ、前記複数の

素子形成領域間を絶縁素子分離する素子分離領域と、前記SOI層に設けられ、外部から電位固定可能なボディー領域とを備え、前記素子分離領域のうち少なくとも1つの領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも1つの素子形成領域及び前記ボディー領域と接して形成されている。

## 【0008】

請求項2記載の半導体装置において、前記複数の素子形成領域は、第1の素子用の複数の第1の素子形成領域と第2の素子用の複数の第2の素子形成領域とを含み、前期素子分離領域は前記SOI層を貫通した完全絶縁領域からなる完全分離領域をさら含み、前記複数の第1の素子形成領域はそれぞれ前記部分分離領域によって素子分離され、前記複数の第2の素子形成領域はそれぞれ前記部分分離領域によって素子分離され、前記複数の第1の素子形成領域と前記複数の第2の素子形成領域とは前記完全分離領域によって素子分離される。

## 【0009】

請求項3記載の半導体装置において、前記複数の素子形成領域は、第1の回路用の複数の素子形成領域と第2の回路用の複数の素子形成領域とを含み、前記第1の回路用の複数の素子形成領域は前記SOI層を貫通した完全分離領域によって素子分離され、前記第2の回路用の複数の素子形成領域は前記部分分離領域によって素子分離される。

## 【0010】

請求項4記載の半導体装置において、前記SOI層は第1及び第2の部分SOI層を含み、前記第1の部分SOI層の膜厚は前記第2の部分SOI層の膜厚よりも薄く形成され、前記複数の第1の素子形成領域は前記第1の部分SOI層に形成され、前記複数の第2の素子形成領域は前記第2の部分SOI層に形成される。

## 【0011】

請求項5記載の半導体装置において、前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、前記所

定の回路用素子形成領域と前記他の回路用素子形成領域とは前記 S O I 層を貫通した完全分離領域によって素子分離される。

【0012】

請求項 6 記載の半導体装置において、前記複数の素子形成領域のうち、前記部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域の前記 S O I 層表面から形成深さは、前記部分分離領域の形成深さより浅い。

【0013】

請求項 7 記載の半導体装置において、前記半導体領域はポリシリコン領域を含む。

【0014】

請求項 8 記載の半導体装置において、前記部分絶縁領域は誘電率が前記埋め込み絶縁層より低い低誘電率膜を含んでいる。

【0015】

請求項 9 記載の半導体装置において、前記部分絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられ、誘電率が前記部分絶縁膜より低い低誘電率膜とを含んでいる。

【0016】

請求項 10 記載の半導体装置において、前記複数の素子分離領域はそれぞれ所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成されている。

【0017】

この発明に係る請求項 11 記載の半導体装置は、半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造を呈し、前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記 S O I 層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、外部から電位固定可能なボディー領域とを備え、前記ボディー領域は、前記複数の素子形成領域のうち、少なくとも 1 つの素子形成領域の表面あるいは裏面に接するように形成されている。

【0018】

請求項 12 記載の半導体装置において、前記ボディー領域は、前記埋め込み絶

縁層の上層部に形成され、前記少なくとも1つの素子形成領域の裏面に接している。

【0019】

請求項13記載の半導体装置において、前記ボディー領域は、前記埋め込み絶縁層を貫通して形成され、前記少なくとも1つの素子形成領域の裏面に接している。

【0020】

請求項14記載の半導体装置において、前記ボディー領域は、前記少なくとも1つの素子形成領域の上方に設けられ、前記少なくとも1つの素子形成領域の表面に接している。

【0021】

この発明に係る請求項15記載の半導体装置の製造方法は、(a) 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b) 前記SOI層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、(c) 前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチうち少なくとも1つのトレンチ内の絶縁膜と前記少なくとも1つのトレンチ下の前記SOI層とにより部分分離領域が構成され、(d) 前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【0022】

請求項16記載の半導体装置の製造方法において、前記複数のトレンチは第1及び第2のトレンチを含み、前記少なくとも1つのトレンチは前記第1のトレンチを含み、前記ステップ(b)の後、ステップ(c)の前に、(e) 前記第1及び第2のトレンチのうち、前記第2のトレンチの底部から前記SOI層をさらに除去して、前記SOI層を貫通させるステップをさらに備え、前記ステップ(c)によって、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ下の前記SOI層とにより前記部分分離領域が構成され、前記SOI層を貫通した前記第2のトレンチ内の絶縁膜により完全分離領域が構成される。

## 【0023】

請求項 17 記載の半導体装置の製造方法において、前記第 2 のトレンチの形成幅は前記第 1 のトレンチの形成幅より広く、前記ステップ (b) は、(b-1) 前記第 1 のトレンチの底面は塞がり、第 2 のトレンチの底面の中心部は露出する程度に、前記第 1 及び第 2 のトレンチそれぞれの側面に側壁体を形成するステップと、(b-2) 前記側壁体をマスクとして前記第 2 のトレンチの中心部下の前記 SOI 層を貫通させるステップとを備えている。

## 【0024】

請求項 18 記載の半導体装置の製造方法は、前記ステップ (b) の後、(f) 前記複数のトレンチの下方の前記 SOI 層に不純物を導入して高濃度領域を形成するステップをさらに備えている。

## 【0025】

この発明に係る請求項 19 記載の半導体装置の製造方法は、(a) 半導体基板、埋め込み絶縁層及びシリコン層からなる SOI 構造の SOI 基板を準備するステップと、(b) 前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、(c) 前記シリコン層の前記貫通部に前記シリコン層の表面から突出するように第 1 の絶縁膜を埋め込むとともに、前記シリコン層上に第 2 の絶縁膜を選択的に形成するステップと、(d) 前記第 2 の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とにより SOI 層が構成され、前記第 2 絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第 1 の絶縁膜により完全分離領域が構成され、(e) 前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

## 【0026】

この発明に係る請求項 20 記載の半導体装置の製造方法は、(a) 半導体基板、埋め込み絶縁層及び SOI 層からなる SOI 構造の SOI 基板を準備するステップと、(b) 前記 SOI 層を選択的に除去して、各々が前記 SOI 層を貫通した第 1 及び第 2 のトレンチからなる複数のトレンチを形成するステップとを備え、前

記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、(c)前記第1及び第2のトレンチのうち、前記第1のトレンチ内の底面及び側面上にポリシリコン層を選択的に堆積するステップと、(d)前記第1及び第2のトレンチに絶縁膜を埋めるステップと、(e)前記第1のトレンチ内の前記ポリシリコン層を、前記第1のトレンチの開口部から底面の方向に部分的に酸化させるステップとをさらに備え、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ内に酸化されずに残存した前記ポリシリコン層とにより部分分離領域が構成され、前記第2のトレンチ内の絶縁膜により完全分離領域が構成され、(f)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

## 【0027】

この発明に係る請求項21記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b)前記SOI層を選択的に除去して複数の素子形成領域を形成するステップと、(c)前記複数の素子形成領域をマスクしながら、前記埋め込み絶縁層に対して等方性エッチングを施し、前記複数の素子形成領域のうちの少なくとも1つの素子形成領域の端部裏面を露出させつつ、前記埋め込み絶縁層の上層部を除去し穴部を形成するステップと、(d)前記穴部をポリシリコン層で埋め、前記ポリシリコン層を含み、前記少なくとも1つの素子形成領域の端部底面に電氣的接続関係を有するボディ領域を形成するステップと、(e)前記SOI層内で前記複数の素子形成領域を絶縁分離するステップと、(f)前記ボディ領域を外部から電位固定可能にするとともに、前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備えている。

## 【0028】

請求項22記載の半導体装置の製造方法において、前記ステップ(d)は、(d-1)前記少なくとも1つの素子形成領域の端部裏面からエピタキシャル成長させて、前記穴部にエピタキシャル成長層を形成するステップと、(d-2)前記エピタキシャル層に接するように、前記穴部をポリシリコン層を埋め、前記エピタキシャル成長層と前記ポリシリコン層とからなるボディ領域を形成するステップとを備えている。



【0029】

【発明の実施の形態】

<<実施の形態1>>

図1～図3はこの発明の実施の形態1であるSOI構造の半導体装置の構成を示す図である。図1及び図2は断面図、図3は平面図であり、図3のA-A断面及びB-B断面がそれぞれ図1及び図2となる。

【0030】

これらの図に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜31によって分離される。そして、NMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11が形成され、PMOSTランジスタ間を分離する部分酸化膜31の下層にn型のウェル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11（NMOSTランジスタ側）及びn型のウェル領域12（PMOSTランジスタ側）が形成される。なお、ウェル領域11はNMOSTランジスタ群のドレイン領域5及びソース領域6を囲うように形成され、ウェル領域12はPMOSTランジスタ群のドレイン領域5及びソース領域6を囲うように形成される。また、実施の形態1ではSOI層3上を層間絶縁膜4で覆っている。

【0031】

実施の形態1において、部分酸化膜31によって他のトランジスタから分離される1単位のMOSTランジスタは、SOI層3中に形成されるドレイン領域5、ソース領域6及びチャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8、ゲート酸化膜8上に形成されるゲート電極9から構成される。また、層間絶縁膜4上に形成された配線層22は、層間絶縁膜4中に設けられたコンタクト21を介してドレイン領域5あるいはソース領域6と電氣的に接続される。

【0032】

また、図2及び図3に示すように、SOI層3中のウェル領域11の間にボデ

イ領域10が形成され、ボディ領域10は隣接するウェル領域11に接している。そして、層間絶縁膜4上に形成された配線層25は、層間絶縁膜4中に設けられたボディコンタクト23を介してボディ領域10と電氣的に接続される。また、層間絶縁膜4上に形成された配線層26は、層間絶縁膜4中に設けられたゲートコンタクト24を介してゲート電極9と電氣的に接続される。

【0033】

このように、実施の形態1の半導体装置では、図1～図3に示すように、図5で示した従来構成と異なり素子分離領域の部分酸化膜31がSOI層3の下部にまで到達せず、分離対象となるトランジスタのチャネル形成領域と同一の導電型の不純物が導入されたウェル領域11、12が部分酸化膜31の下層に設けられている。

【0034】

したがって、各トランジスタの基板電位の固定を、配線層26、ボディーコンタクト23、高濃度のボディー領域10及びウェル領域11を介して行うことができる。なお、PMOSトランジスタ側も同様に、ボディ領域を介して各トランジスタの基板電位を固定することができる。

【0035】

以下、図1～図3を参照してその詳細を説明する。埋め込み酸化膜2の膜厚は例えば100～500nm程度であり、SOI層3の膜厚は30～200nm程度である。チャネル形成領域7は、例えば $10^{17} \sim 10^{18} / \text{cm}^3$ 程度の第1導電型の不純物（NMOSではp型不純物、PMOSではn型不純物）の導入によって形成される。ドレイン領域5及びソース領域6はチャネル形成領域7と隣接して、例えば $10^{19} \sim 10^{21} / \text{cm}^3$ 程度の第2導電型の不純物（NMOSではn型不純物、PMOSではp型不純物）の導入によって形成される。

【0036】

隣接するトランジスタ間を分離する部分酸化膜31はSOI層3の下層部をウェル領域形成用に例えば10～100nm程度残して形成される。部分酸化膜31の上面高さはSOI層3の表面高さと同じであることが微細加工上好ましいが、SOI層3が薄い場合は素子分離に必要な部分酸化膜31の膜厚をとることが

難しいため、SOI層3より上に持ち上げた方が素子分離性能が向上する。

【0037】

そして、酸化膜分離用の部分酸化膜31の下部にはチャネル形成領域と同じ導電型のウェル領域11, 12 (たとえば $10^{17} \sim 5 \cdot 10^{18} / \text{cm}^3$ の不純物濃度、不純物濃度はチャネル形成領域と同じかそれ以上、濃度が高いほどパンチスルーが防止でき分離性能は良くなる) が設けられている。

【0038】

また、ボディ領域10は、図2に示すように、隣接するウェル領域18と同じ導電型で $10^{19} \sim 10^{21} / \text{cm}^3$ の高濃度の不純物が導入される。

【0039】

なお、図2のボディー領域10は、SOI層3の上面から下面にかけてボディ領域10を形成し層間絶縁膜4を貫通してボディコンタクト23を形成したが、図4のようにボディ領域を形成しても良い。

【0040】

図4の例では、ボディコンタクト23の形状に合わせてSOI層3の下層部のみにボディ領域20を形成し、層間絶縁膜4及び部分酸化膜31を貫通してボディコンタクト23を形成することになる。この場合、ボディ領域20に隣接して部分酸化膜31下にウェル領域28が形成される。

【0041】

ただし、図4の構造を形成する場合はコンタクト開口後にボディー領域20を形成するための高濃度不純物注入を行うことが望ましい。

【0042】

ここで、同じ導電型の素子分離においては、ウェル領域11, 12はチャネル形成領域の導電型と同一の不純物を導入して形成するだけでよいが、図1に示すように、PMOSとNMOSにまたがる分離においてはNMOS隣接部でp型のウェル領域11、PMOS隣接部でn型のウェル領域12を設ける必要がある。

【0043】

このようなSOI構造は後述する実施の形態2の部分トレンチによる分離法を用いて製造することができる。

【0044】

<<実施の形態2>>

<第1の態様>

図5はこの発明の実施の形態2であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。

【0045】

図5に示すように、実施の形態2ではNMOSTランジスタおよびPMOSTランジスタそれぞれの内部のランジスタ分離を部分酸化膜31とその下層のウェル領域11(12)によって行い、一方、PMOSTランジスタ、NMOSTランジスタ間の分離を完全酸化膜32によって行っている。このような構成にすることにより、実施の形態1の構造に比べて、PMOS、NMOS間の分離幅を小さくできたり、ラッチアップを防いだりすることができる。

【0046】

図5の構造を実現する際には、ソース領域6、ドレイン領域5をイオン注入で形成する際に、注入イオンが部分酸化膜31を通り抜けて、本来はドレイン領域5及びソース領域6と逆の導電型式にする必要のある部分酸化膜31下のウェル領域11(12)に、ドレイン領域5及びソース領域6用の不純物が導入されることにより、部分酸化膜31及びウェル領域11による分離特性を損ねる恐れがある。

【0047】

<第2の態様>

これを避けるためには、図6に示す第2の態様に示すように、形成深さがSOI層3の膜厚より十分に浅いドレイン領域5s及びソース領域6sを形成する方が好ましい。すなわち、部分酸化膜31の下面よりもドレイン領域5s及びソース領域6sを浅く形成すると良い。図6のように、形成深さの浅いドレイン領域5s及びソース領域6sを形成するためには、低エネルギーイオン注入によってソース、ドレイン領域6, 5を形成すればよい。

【0048】

<第3の態様>

なおここで、図7に示す実施の形態2の第3の態様のように、下層部の一部がウェル領域29となるがSOI層3の上面から下面にかけて酸化膜33を用いてNMOSTランジスタ、PMOSTランジスタ間を完全分離することもできる。第3の態様では酸化膜33用のトレンチを部分酸化膜31用のトレンチと同時に設けて形成しやすい分、完全酸化膜32による分離よりレイアウトが容易になる可能性が高い。

## 【0049】

## ＜製造方法（その1）（第1及び第2の態様）＞

図8～図11は実施の形態2の第1及び第2の態様における製造方法の素子分離工程を示す断面図である。図8～図11で示す方法は部分トレンチ分離と完全トレンチ分離を併用による方法である。

## 【0050】

まず、図8に示すように、酸素イオン注入によって埋め込み酸化膜2を形成するSIMOX法などにより形成した、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を出発材料とする。通常、SOI層3の膜厚は50～200nm、埋め込み酸化膜2の膜厚は100～400nmになる。

## 【0051】

そして、図9に示すように、SOI基板上に、20nm程度の酸化膜41と200nm程度の窒化膜42を順次堆積した後、パターニングしたレジスト43をマスクとして分離領域をパターニングし、窒化膜42、酸化膜41、SOI層の3多層膜を、SOI層3の下層部が残存するようにエッチングして複数の部分トレンチ44を形成する。複数の部分トレンチ44は、所定の幅でシリコン基板1に対してほぼ垂直方向に延びて形成されるため、集積度を損ねることなく微細化を維持した素子分離を行うことができる。この状態で、図12に示すように高濃度ウェル領域52（ウェル領域11、12に相当）形成のため、イオン注入を行えば分離耐圧をより高めることができる。

## 【0052】

次に、図10に示すように、複数の部分トレンチ44のうち、一部を覆うようにレジスト45を形成して、レジスト45で覆われなかった部分トレンチ44を

さらにエッチングすることにより、SOI層3を貫通させた完全トレンチ48を形成する。

#### 【0053】

次に、図11に示すように、500nm程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31及びその下のSOI層3（ウェル領域）と完全酸化膜32とが選択的に形成された構造を得ることができる。なお、図9の構造を得た後、図12で示すイオン注入を行った場合は、図13に示すように、部分酸化膜31下に高濃度ウェル領域52が形成されることになる。高濃度ウェル領域52により安定性良く基板電位固定することができる。

#### 【0054】

以下、既存の方法で、NMOSトランジスタ形成領域にNMOSトランジスタを形成し、PMOSトランジスタトランジスタ形成領域にPMOSトランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができる。

#### 【0055】

また、図10で示した工程を省略して他の工程を上述したように実施すれば、全てが部分トレンチ44となるため、図1～図3で示した実施の形態1の構造（全てが部分酸化膜31によって素子分離された構造）を得ることができる。

#### 【0056】

### <製造方法（その2）（第1及び第2の態様）>

図14～図18は実施の形態2の第1及び第2の態様における製造方法の素子分離工程を示す断面図である。図14～図18で示す方法は部分トレンチ分離と完全トレンチ分離を併用による方法である。

#### 【0057】

まず、図14に示すように、シリコン基板1、埋め込み酸化膜2及びシリコン層50からなる積層構造を出発材料とする。この際、シリコン層50は最終的に得られるSOI層3の膜厚よりも薄くする。

【0058】

そして、図15に示すように、SOI基板上に、酸化膜41と窒化膜42を順次堆積した後、パターンニングしたレジスト46をマスクとして分離領域をパターンニング処理を行い、SOI層3の表面が露出するように窒化膜42及び酸化膜41をエッチングして複数の部分トレンチ44を形成する。

【0059】

次に、図16に示すように、複数の部分トレンチ44のうち、一部を覆うようにレジスト49を形成して、レジスト49で覆われなかった部分トレンチ44をさらにエッチングすることにより、シリコン層50を貫通させた完全トレンチ48を形成する。

【0060】

次に、図17に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31及びその下のシリコン層50（ウェル領域）と完全酸化膜32とが選択的に形成された構造を得ることができる。

【0061】

そして、図18に示すように、シリコン層50からエピタキシャル成長させてエピタキシャルシリコン層51を形成することにより、シリコン層50及びエピタキシャルシリコン層51からなる結晶性の良いSOI層3を得る。

【0062】

以下、既存の方法で、NMOSトランジスタ形成領域にNMOSトランジスタを形成し、PMOSトランジスタ形成領域にPMOSトランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができる。

【0063】

<製造方法（その3）（第3の態様）>

図19～図22は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図19～図22で示す方法は形成幅の異なる部分トレンチ

形成による方法である。

【0064】

まず、図19に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0065】

次に図20に示すように、酸化膜47で部分トレンチ44A及び44Bの側面に、部分トレンチ44Bの底面は塞ぐが部分トレンチ44Aの底面中心部が露出するようにサイドウォールを形成する。これは、部分トレンチ44Bの形成幅が部分トレンチ44Aの形成幅より狭いことを利用している。

【0066】

次に、図21に示すように、酸化膜47をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、上部に酸化膜47が形成されていないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0067】

次に、図22に示すように、500nm程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその一部下のSOI層3）とが選択的に形成された構造を得ることができる。

【0068】

以下、既存の方法で、NMOSトランジスタ形成領域にNMOSトランジスタを形成し、PMOSトランジスタ形成領域にPMOSトランジスタを形成することにより、図7で示した実施の形態2の第3の態様のSOI構造を得ることができる。

【0069】

<製造方法（その4）（第3の態様）>



図23～図27は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図23～図27で示す方法は形成幅の異なる部分トレンチ形成による方法である。

【0070】

まず、図23に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を出発材料とする。

【0071】

そして、図24に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0072】

次に、図25に示すように、部分トレンチ44B内全体を充填し、部分トレンチ44Aの側壁を覆うように、レジスト49をパターンニングする。したがって、部分トレンチ44Aの底面中心部が確実に露出している。

【0073】

その後、図26に示すように、レジスト49をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、レジスト49が上部に形成されていないのSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0074】

次に、図27に示すように、酸化膜を堆積し、通常のとレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその下のSOI層3）とが選択的に形成された構造を得ることができる。

【0075】

<その他>

上記実施の形態2の製造方法は、トレンチ分離法としてSiN/SiO<sub>2</sub>の積

層をSOI層上に形成して、素子分離用の酸化膜の埋め込みを行ったが、他の方法、SiN/SiO<sub>2</sub>の積層に代えて、例えばSiN/poly-Si/SiO<sub>2</sub>による積層を用いて埋め込み後酸化を行い、トレンチの角丸めを行うなど、より多様な方法を行っても同様な効果を示すことは言うまでもない。

【0076】

<<実施の形態3>>

<第1の態様>

図28はこの発明の実施の形態3であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。

【0077】

図28に示すように、集積性が要求される（部分酸化膜31は下層にウェル領域を形成する関係で完全酸化膜32より集積度が若干劣る）が基板浮遊効果の影響の少ない回路（第1の回路）の形成領域を完全酸化膜32を用いた完全分離構造にし、基板浮遊効果の影響が問題となる回路（第2の回路）の形成領域には部分酸化膜31及びその下層のウェル領域11（12）を用いた部分分離構造にし、第1、第2の回路の形成領域間の分離は完全酸化膜32を用いた完全分離構造にしている。

【0078】

図28に示すように、第1の回路例としては、内部回路及びデジタル回路等があり、第2の回路回路の例としては、I/Oバッファ回路、アナログ回路（PLL回路、センスアンプ回路）等がある。さらに、第2の回路例として、タイミング回路、ダイナミック回路等がある。

【0079】

このように、実施の形態3の第1の態様は、設けられる回路の基板浮遊効果の影響度を考慮して、部分酸化膜31による部分分離と完全酸化膜32とによる完全分離とを使い分けることにより、基板浮遊効果の抑制と集積度の向上をバランス良く行った素子分離構造を得ることができる。

【0080】

なお、図28の構造は、実施の形態2の製造方法のその1～その4等を用いて

、部分酸化膜31及び完全酸化膜32（酸化膜33）を選択的に形成して素子分離を行って第1の回路及び第2の回路を形成することにより得ることができる。

【0081】

<第2の態様>

図29はこの発明の実施の形態3であるSOI構造の半導体装置の第2の態様の構造を示す断面図である。同図に示すように、完全分離を行う第1の回路形成用の部分SOI層3Bの膜厚を、部分分離を行う第2の回路形成用の部分SOI層3Aの膜厚よりも薄くしている。したがって、部分SOI層3Bに形成される完全酸化膜34、ドレイン領域5t、ソース領域6t及びチャネル形成領域7tの膜厚も薄くなる。

【0082】

第2の態様では、第1の回路形成用の部分SOI層3Bの膜厚を第2の回路形成用の部分SOI層3Aの膜厚よりも薄く形成したため、同じトレンチエッチング条件を用いても、部分SOI層3Aには部分トレンチを部分SOI層3Bには完全トレンチを形成し分けることができる。したがって、製造方法その1の図10で示した工程が省略できる等の製造方法の簡略化を図って、完全分離及び部分分離をそれぞれ部分SOI層3B及び部分SOI層3A上で行うことができる。

【0083】

また、完全分離、部分分離に関係なく、基板固定が要求される第2の回路である、I/Oバッファ回路、アナログ回路（PLL、センスアンプ）、タイミング回路、ダイナミック回路などを形成するSOI層の膜厚は厚くすることが好ましく、その点からも第2の態様は利にかなっており、特に保護回路では膜厚により温度上昇を抑制でき効果的である。

【0084】

<第3の態様>

また、実施の形態3の第3の態様として、ノイズ発生源となるI/O回路やRF回路と他の回路との分離は少なくとも完全酸化膜32を用いた完全分離を行い、他の部分の分離は部分酸化膜31を用いた分離を行うことにより、内部回路へのノイズの影響を減らしながら、基板浮遊効果の影響を最小限に抑えたSOI構

造の半導体装置を得ることができる。

【0085】

<<実施の形態4>>

図30及び図31はこの発明の実施の形態4のSOI構造の半導体装置の構造を示す断面図である。なお、図30及び図31はそれぞれ実施の形態1の図3のA-A断面及びB-B断面に相当する。

【0086】

同図に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜71によって分離される。そして、NMOSトランジスタ間を分離する部分酸化膜71の下層にp型のポリシリコン領域61が形成され、PMOSトランジスタ間を分離する部分酸化膜71の下層にn型のポリシリコン領域62が形成され、NMOSトランジスタ、PMOSトランジスタ間を分離する部分酸化膜71の下層にp型のポリシリコン領域61（NMOSトランジスタ側）及びn型のポリシリコン領域62（PMOSトランジスタ側）が隣接して形成される。

【0087】

また、図31に示すように、SOI層3中のポリシリコン領域61の間にボディ領域10が形成され、ボディ領域10は隣接するポリシリコン領域61に接している。そして、層間絶縁膜4上に形成された配線層25は、層間絶縁膜4中に設けられたボディコンタクト23を介してボディ領域10と電氣的に接続される。

【0088】

このように、実施の形態4の半導体装置は部分酸化膜71下に形成されるポリシリコン領域61、62をウェル領域として利用し、ボディー領域10を介してその電位が固定される。したがって、チャネル形成領域7の電位が安定し基板浮遊効果を低減させることができる。

【0089】

なお、図32に示すように、NMOSトランジスタおよびPMOSトランジスタ

タそれぞれの内部のトランジスタ分離を部分酸化膜 71 とその下層のポリシリコン領域 61 (62) によって行い、一方、PMOS トランジスタ、NMOS トランジスタ間の分離を完全酸化膜 32 によって行っても良い。このような構成にすることにより、図 30 及び図 31 の構造に比べて、PMOS、NMOS 間の分離幅を小さくできたり、ラッチアップを防いだりすることができる。

## 【0090】

## ＜製造方法＞

図 33～図 37 は実施の形態 4 の半導体装置の製造方法における素子分離工程を示す断面図である。

## 【0091】

まず、図 33 に示すように、シリコン基板 1、埋め込み酸化膜 2 及び SOI 層 3 からなる SOI 基板を出発材料とし、SOI 基板上に酸化膜 41 と窒化膜 42 を順次堆積した後、パターニングしたレジスト 43 をマスクとして分離領域をパターニングし、窒化膜 42、酸化膜 41、SOI 層の 3 多層膜を貫通させてトレンチ 144 を形成する。

## 【0092】

そして、図 34 に示すように、全面にポリシリコン層 65 を膜厚制御性良く堆積した後、図 35 に示すように、複数のトレンチ 144 のうち、一部を覆うようにトレンチ 66 を形成して、トレンチ 66 で覆われなかったトレンチ 144 内のポリシリコン層 65 をエッチングして除去することにより、完全トレンチ 48 を形成する。

## 【0093】

次に、図 36 に示すように、全面にトレンチ埋め込み用の酸化膜を堆積し、通常のトレンチ分離と同様の手法で CMP 処理により窒化膜 42 の途中まで研磨し、その後、窒化膜 42、酸化膜 41 の除去を行うことにより、ポリシリコン領域 67 及びその内部に残存する酸化膜 68 と完全酸化膜 32 とが選択的に形成された構造を得ることができる。

## 【0094】

そして、図 37 に示すように、ポリシリコン領域 67 を酸化させることにより

、酸化膜 68 とポリシリコン領域 67 が酸化された領域とからなる部分酸化膜 71 と、酸化されずに残存したポリシリコン領域 61 (62) とによる部分分離構造が完成する。

## 【0095】

ポリシリコン領域 67 の酸化度合いの方が SOI 層 3 上に形成される酸化膜 70 より高いため、SOI 層 3 の表面とポリシリコン領域 61 (62) の最上部との間に十分に段差が生じ、ゲート酸化膜形成時に酸化膜不良によりゲート電極 9 とポリシリコン領域 61 とがショートすることを防ぐことができる。

## 【0096】

以下、既存の方法で、NMOS トランジスタ形成領域に NMOS トランジスタを形成し、PMOS トランジスタ形成領域に PMOS トランジスタを形成することにより、図 32 で示した SOI 構造を得ることができる。

## 【0097】

## &lt;&lt;実施の形態 5&gt;&gt;

## &lt;第 1 の態様&gt;

図 38 はこの発明の実施の形態 5 の SOI 構造の半導体装置の第 1 の態様の構造を示す断面図である。同図に示すように、シリコン基板 1、埋め込み酸化膜 2 及び SOI 層 3 からなる SOI 構造の半導体装置における SOI 層 3 の各トランジスタ形成領域は下層部にウェル領域が形成される低誘電率膜 (埋め込み酸化膜 2 等の一般的な絶縁膜より誘電率が低い絶縁膜) 75 によって分離される。そして、図 1 で示した実施の形態 1 のように、NMOS トランジスタ間を分離する低誘電率膜 75 の下層に p 型のウェル領域 11 が形成され、PMOS トランジスタ間を分離する低誘電率膜 75 の下層に n 型のウェル領域 12 が形成され、NMOS トランジスタ、PMOS トランジスタ間を分離する低誘電率膜 75 の下層に p 型のウェル領域及び n 型のウェル領域 (図 38 では共に図示せず) が形成される。上記したウェル領域は実施の形態 1 と同様、電氣的に接続関係にあるボディ領域を介して電位固定が可能である。

## 【0098】

SOI 構造の場合、SOI 層 3 の膜厚が 50 nm 程度に薄くなる場合がある。

このとき、素子分離用酸化膜（図1の部分酸化膜31）下に形成されるウェル領域が空乏化あるいは反転し、本来素子分離すべきトランジスタ間にリーク電流が流れる恐れがある。

【0099】

しかしながら、実施の形態4の第1の態様では、素子分離用に低誘電率膜75を用いているため、膜厚が薄くともその容量を十分低く抑えることができ、上記したリーク電流発生を確実に回避することができる。

【0100】

なお、低誘電率膜75としては、埋め込み酸化膜2等に用いられるシリコン酸化膜（比誘電率が3.9～4程度）にフッ素を混入されたり、有機膜を用いることにより、比誘電率が3程度のものを用いている。

【0101】

<第2の態様>

図39は実施の形態5の第2の態様を示す断面図である。同図に示すように、図38の低誘電率膜75に代えて、低誘電率膜76と低誘電率膜76の底面及び側面に形成されるシリコン酸化膜78とにより素子分離を行っている。なお、他の構成は図38で示した第1の態様と同様である。

【0102】

このように、低誘電率膜76の底面及び側面にシリコン酸化膜78を形成するのは、シリコン（ドレイン領域5、ソース領域6、ウェル領域11、12等）との界面に生じる欠陥や界面電荷の発生を確実に抑制するためである。なお、シリコン酸化膜78は熱酸化法やCVD法を用いて形成される。

【0103】

<第3の態様>

図40は実施の形態5の第3の態様を示す断面図である。同図に示すように、図38の低誘電率膜75に代えて、低誘電率膜77と低誘電率膜77の側面に形成されるシリコン酸化膜79とにより素子分離を行っている。なお、他の構成は図38で示した第1の態様と同様である。

【0104】

このように、低誘電率膜76の側面にシリコン酸化膜78を形成するのは、チャネル形成領域7が存在する側面方向のシリコン（ドレイン領域5、ソース領域6）との界面に生じる欠陥や界面電荷の発生を確実に抑制することを主眼としたためである。

【0105】

<<実施の形態6>>

<第1の態様>

図41はこの発明の実施の形態6であるSOI構造の半導体装置における第1の態様の構造を示す断面図である。

【0106】

同図に示すように、各素子間は層間絶縁膜4（説明の都合上、完全酸化膜32相当する部分も層間絶縁膜4で示す）によって完全分離し、ボディ領域となる接続領域80を埋め込み酸化膜2の上層部に形成し、その一部がSOI層3（図41ではドレイン領域5、チャネル形成領域7）の端部裏面と接することにより、電氣的接続関係を保っている。なお、接続領域80の導電型はチャネル形成領域7と同じである。また、図1及び図2と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0107】

このように、第1の態様の半導体装置はボディ領域となる接続領域80をSOI層3ではなく、埋め込み酸化膜2の上層部に設けたため、ゲート電極9との間に少なくともSOI層3の膜厚以上の高低差を設けることができる。その結果、製造時にゲート電極9と接続領域80とが短絡するという不具合を確実に回避することができる。

【0108】

<第2の態様>

図42はこの発明の実施の形態6であるSOI構造の半導体装置における第2の態様の構造を示す断面図である。



【0109】

同図に示すように、ドレイン領域5s及びソース領域6sはSOI層3の上層部に浅く形成される。なお、他の構成は図41で示した第1の態様と同様である。

【0110】

このように、第2の態様の半導体装置はドレイン領域5s及びソース領域6sをSOI層3上層部に浅く形成したため、ドレイン領域5sあるいはソース領域6と接続領域80とが接触関係を持ちリーク電流を引き起こすことを確実に回避することができる。

【0111】

<製造方法(概念)>

図43～図45は接続領域80となるポリシリコン領域を形成する工程を概念的に示す断面図である。

【0112】

まず、図43に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI構造から、SOI層3を表面から選択的に除去することにより、レンチ分離分離が施された素子形成領域を形成する。

【0113】

そして、図44に示すように、SOI層3をマスクとして埋め込み酸化膜2に対するウェットエッチングを施し、SOI層3の端部下面の埋め込み酸化膜2が除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去した穴部94を形成する。

【0114】

そして、図45に示すように、穴部94にポリシリコンを埋め込むことにより、接続領域80用のポリシリコン領域81を形成する。

【0115】

<製造方法(その1)>

図46～図48は接続領域80となるポリシリコン領域を形成するその1の工程をより具体的に示す断面図である。

【0116】

まず、図46に示すように、SOI基板のSOI層3上にシリコン酸化膜91及びシリコン窒化膜92を堆積し、SOI層3、シリコン酸化膜91及びシリコン窒化膜92をパターニングしてトレンチ分離を行った後、パターニング後のSOI層3、シリコン酸化膜91及びシリコン窒化膜92の側面に側壁シリコン窒化膜93を形成する。

【0117】

そして、図47に示すように、シリコン窒化膜92及び側壁シリコン窒化膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在せずに露出した埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

【0118】

その後、図48に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチングによりエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域81を形成する。

【0119】

以下、図11で示した工程のように、トレンチに酸化膜を埋め込む等の方法により複数の素子形成領域を絶縁分離し、接続領域80を外部から電位固定可能にし、さらに、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

【0120】

<製造方法(その2)>

図49～図51は接続領域80となるポリシリコン領域を形成するその2の工程を具体的に示す断面図である。

【0121】

まず、既に取り上げた図46に示すように、SOI層3、シリコン酸化膜91及びシリコン窒化膜92をパターニングしてトレンチ分離を行った後、パターニング後のSOI層3、シリコン酸化膜91及びシリコン窒化膜92の側面に側壁

シリコン窒化膜93を形成する。

#### 【0122】

そして、図49に示すように、シリコン窒化膜92及び側壁シリコン窒化膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

#### 【0123】

次に、図50に示すように、SOI層3の露出した裏面からのエピタキシャル成長により側壁シリコン窒化膜93下にエピタキシャル成長層82を形成する。

#### 【0124】

その後、図51に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域83を形成する。その結果、エピタキシャル成長層82とポリシリコン領域83とからなる接続領域80を形成することができる。

#### 【0125】

以下、トレンチに酸化膜を埋め込む等の方法により複数の素子形成領域を絶縁分離し、接続領域80を外部から電位固定可能にし、さらん、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

#### 【0126】

第2の態様の構造は、エピタキシャル成長層82を介している分、ドレイン領域5あるいはソース領域6とチャネル形成領域7とによるPN接合部分との距離を十分とることができ、良好な電気的特性を得ることができる。

#### 【0127】

#### <第3の態様>

図52は実施の形態6の第3の態様を示す断面図である。同図の構造は図41で示した構造（接続領域80、ボディコンタクト23、ゲートコンタクト24及び配線層22、25を除く）から、シリコン基板1及び埋め込み酸化膜2を研磨

により除去した後、表裏面を反対にした後、新たな裏面にシリコン基板90を張り合わせ、接続領域86を表面に形成した構造である。したがって、シリコン基板90、層間絶縁膜4及び素子形成領域（ドレイン領域5、ソース領域6、チャネル形成領域7等）からなるSOI構造となる。

## 【0126】

第3の態様は結果的に接続領域86を表面に形成することになるため、製造工程が容易になる。

## 【0129】

## ＜第4の態様＞

図53は実施の形態6の第4の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域87を形成している。他の構成は図41で示した第1の態様と同様である。

## 【0130】

このように、第4の態様は、埋め込み酸化膜2を貫通して接続領域87を形成したため、支持基板であるシリコン基板1から電位を固定することができる。この際、図54に示すように、接続領域87形成をウェットエッチングにより埋め込み酸化膜2の上層部に形成された穴部89と、ドライエッチングにより横方向に広がりなく埋め込み酸化膜2を貫通して形成された貫通部88とにより貫通口を設けた後、ポリシリコン等を埋め込んで接続領域87を形成すれば、貫通口形成時の横方向の広がりを抑えながら、埋め込み酸化膜2を貫通した接続領域87を得ることができる。

## 【0131】

## 【発明の効果】

以上説明したように、この発明における請求項1記載の半導体装置において、素子分離領域のうち少なくとも1つの領域は、上層部に設けられた部分絶縁領域とから構成される部分分離領域を含み、半導体領域は複数の素子形成領域の少なくとも1つの領域及びボディ領域と接して形成されるため、部分絶縁領域により複数の素子形成領域を絶縁分離するとともに、上記少なくとも1つの素子形成領域を上記半導体領域及び上記ボディ領域によって電位固定することができる。

【0132】

その結果、上記少なくとも1つの素子形成領域の基板浮遊効果を低減したSOI構造の半導体装置を得ることができる。

【0133】

請求項2記載の半導体装置において、複数の第1の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第2の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第1の素子形成領域と複数の第2の素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、異なる素子間の素子形成領域を完全に絶縁分離するとともに、同一の素子内の素子形成領域の基板浮遊効果を低減することができる。

【0134】

請求項3記載の半導体装置において、第1の回路用の複数の素子形成領域はSOI層を貫通した完全分離領域によって素子分離され、第2の回路用の複数の素子形成領域は部分分離領域によって素子分離される。

【0135】

したがって、基板浮遊効果の影響を重視する回路は第2の回路とし、基板浮遊効果を重視しない回路は第1の回路として扱うことにより、形成する回路の性質に基づいた適切な絶縁分離を行うことができる。

【0136】

請求項4記載の半導体装置において、第1の部分SOI層の膜厚は第2の部分SOI層の膜厚よりも薄く形成され、複数の第1の素子形成領域は第1の部分SOI層に形成され、複数の第2の素子形成領域は第2の部分SOI層に形成される。

【0137】

したがって、第1及び第2の部分SOI層の膜厚の違いを利用して、第1の部分SOI層を貫通した完全分離用トレンチと第2の部分SOI層を貫通しない部分分離用トレンチを、第1及び第2の部分SOI層に対して同時に形成することができるため、製造工程の簡略化を図ることができる。

【0138】

請求項5記載の半導体装置において、所定の回路用素子形成領域と他の回路用素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、上記他の回路は所定の回路からの影響を完全に遮断することができる。

【0139】

請求項6記載の半導体装置において、部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域のSOI層表面から形成深さは、部分分離領域の形成深さより浅く形成されるため、部分分離領域による分離特性の劣化を最小限に抑えることができる。

【0140】

請求項7記載の半導体装置において、半導体領域はポリシリコン領域を含むため、半導体領域を精度良く形成することができる。

【0141】

請求項8記載の半導体装置において、部分絶縁領域は低誘電率膜を含むため、部分絶縁領域の容量値に基づく不具合を最小限に抑えることができる。

【0142】

請求項9記載の半導体装置において、部分絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられた低誘電率膜とを含むため、部分絶縁領域の側面方向に形成される素子の影響を部分絶縁膜によって効果的に抑制しながら、部分絶縁領域の容量値に基づく不具合を抑えることができる。

【0143】

請求項10記載の半導体装置における複数の素子分離領域はそれぞれ所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成されるため、集積度を損ねることなく素子分離が行える。

【0144】

この発明に係る請求項11記載の半導体装置のボディ領域は、複数の素子形成領域のうち、少なくとも1つの素子形成領域の表面あるいは裏面に接するように形成されるため、上記少なくとも1つの素子形成領域を上記ボディ領域によって電位固定することができる。

【0145】

請求項 12 記載の半導体装置において、ボディー領域は、SOI 層下の埋め込み絶縁膜の上層部に形成されるため、素子分離領域による素子分離特性に与える悪影響を最小限に抑えることができる。

【0146】

請求項 13 記載の半導体装置において、ボディー領域は、埋め込み絶縁膜を貫通して形成されるため、半導体基板側から上記少なくとも 1 つの素子形成領域を上記ボディー領域を介して電位固定することができる。

【0147】

請求項 14 記載の半導体装置において、ボディー領域は、少なくとも 1 つの素子形成領域の上方に設けられ、少なくとも 1 つの素子形成領域の表面に接するため、比較的簡単に形成することができる。

【0148】

この発明に係る請求項 15 記載の半導体装置の製造方法によって形成される半導体装置において、複数の素子形成領域のうち、少なくとも 1 つのトレンチ内の絶縁膜とその下方の SOI 層とによって素子分離される素子形成領域に対し、基板浮遊効果を抑えた素子分離がなされる。

【0149】

請求項 16 記載の半導体装置の製造方法によって形成される複数の素子形成領域は、第 1 のトレンチそれぞれ内の絶縁膜とその下方の SOI 層とによって基板浮遊効果を抑えた素子分離がなされるとともに、SOI 層を貫通した第 2 のトレンチ内の絶縁膜によって完全な素子分離がなされる。

【0150】

請求項 17 記載の半導体装置の製造方法は、第 1 及び第 2 のトレンチ間の形成幅の違いを利用して、側壁体をマスクとして第 2 のトレンチの中心部下の SOI 層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができる。

【0151】

請求項 18 記載の半導体装置の製造方法は、複数のトレンチの下方の SOI 層

に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する素子形成領域を安定性良く電位固定することができる。

【0152】

この発明に係る請求項19記載の半導体装置の製造方法は、シリコン層とエピタキシャル成長層とによりSOI層を構成するため、結晶性の良いSOI層を形成することができる。

【0153】

この発明に係る請求項20記載の半導体装置の製造方法は、第1のトレンチ内の絶縁膜と第1のトレンチ内に残存したポリシリコン層とにより部分分離領域を形成している。したがって、素子形成領域と電氣的に接続するポリシリコン層の膜厚を制御性良く形成することができる。

【0154】

この発明に係る請求項21記載の半導体装置の製造方法は、埋め込み絶縁膜に形成された穴部をポリシリコン層で埋め、少なくとも1つの素子形成領域と電氣的接続関係を有するボディ領域を形成している。

【0155】

したがって、ボディー領域は、SOI層下の埋め込み絶縁膜に形成されるため、素子分離領域による絶縁分離に与える悪影響を最小限に抑えることができる。

【0156】

請求項22記載の半導体装置の製造方法は、少なくとも1つの素子形成領域の端部裏面からエピタキシャル成長させたエピタキシャル成長層とポリシリコン層とからなるボディ領域を形成している。

【0157】

したがって、エピタキシャル成長層を介している分、上記少なくとも1つの素子形成領域に形成される素子とポリシリコン層との距離を十分とることができ、良好な電氣的特性を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるSOI構造の半導体装置の第1の態様を示す断面図である。



- 【図 2】 実施の形態 1 の第 1 の態様を示す断面図である。
- 【図 3】 実施の形態 1 の第 1 の態様の平面図である。
- 【図 4】 実施の形態 1 の第 2 の態様の構造を示す断面図である。
- 【図 5】 実施の形態 2 の第 1 の態様を示す断面図である。
- 【図 6】 実施の形態 2 の第 2 の態様を示す断面図である。
- 【図 7】 実施の形態 2 の第 3 の態様を示す断面図である。
- 【図 8】 実施の形態 2 における素子分離工程（その 1）を示す断面図である。
- 【図 9】 実施の形態 2 における素子分離工程（その 1）を示す断面図である。
- 【図 10】 実施の形態 2 における素子分離工程（その 1）を示す断面図である。
- 【図 11】 実施の形態 2 における素子分離工程（その 1）を示す断面図である。
- 【図 12】 高濃度ウェル領域形成工程を示す断面図である。
- 【図 13】 高濃度ウェル領域形成工程を示す断面図である。
- 【図 14】 実施の形態 2 における素子分離工程（その 2）を示す断面図である。
- 【図 15】 実施の形態 2 における素子分離工程（その 2）を示す断面図である。
- 【図 16】 実施の形態 2 における素子分離工程（その 2）を示す断面図である。
- 【図 17】 実施の形態 2 における素子分離工程（その 2）を示す断面図である。
- 【図 18】 実施の形態 2 における素子分離工程（その 2）を示す断面図である。
- 【図 19】 実施の形態 2 における素子分離工程（その 3）を示す断面図である。

【図20】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図21】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図22】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図23】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図24】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図25】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図26】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図27】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図28】 実施の形態3の第1の態様を示す断面図である。

【図29】 実施の形態3の第2の態様を示す断面図である。

【図30】 実施の形態4のSOI構造を示す断面図である。

【図31】 実施の形態4のSOI構造を示す断面図である。

【図32】 実施の形態4の他のSOI構造を示す断面図である。

【図33】 実施の形態4における素子分離工程を示す断面図である。

【図34】 実施の形態4における素子分離工程を示す断面図である。

【図35】 実施の形態4における素子分離工程を示す断面図である。

【図36】 実施の形態4における素子分離工程を示す断面図である。

【図37】 実施の形態4における素子分離工程を示す断面図である。

【図38】 実施の形態5の第1の態様を示す断面図である。

【図39】 実施の形態5の第2の態様を示す断面図である。

【図40】 実施の形態5の第3の態様を示す断面図である。

【図 4 1】 実施の形態 6 の第 1 の態様を示す断面図である。

【図 4 2】 実施の形態 6 の第 2 の態様を示す断面図である。

【図 4 3】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 4 4】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 4 5】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 4 6】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 4 7】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 4 8】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 4 9】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 5 0】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 5 1】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 5 2】 実施の形態 6 の第 3 の態様を示す断面図である。

【図 5 3】 実施の形態 6 の第 4 の態様を示す断面図である。

【図 5 4】 実施の形態 6 の第 5 の態様を示す断面図である。

【図 5 5】 従来の SOI 構造の半導体装置を示す断面図である。

【符号の説明】

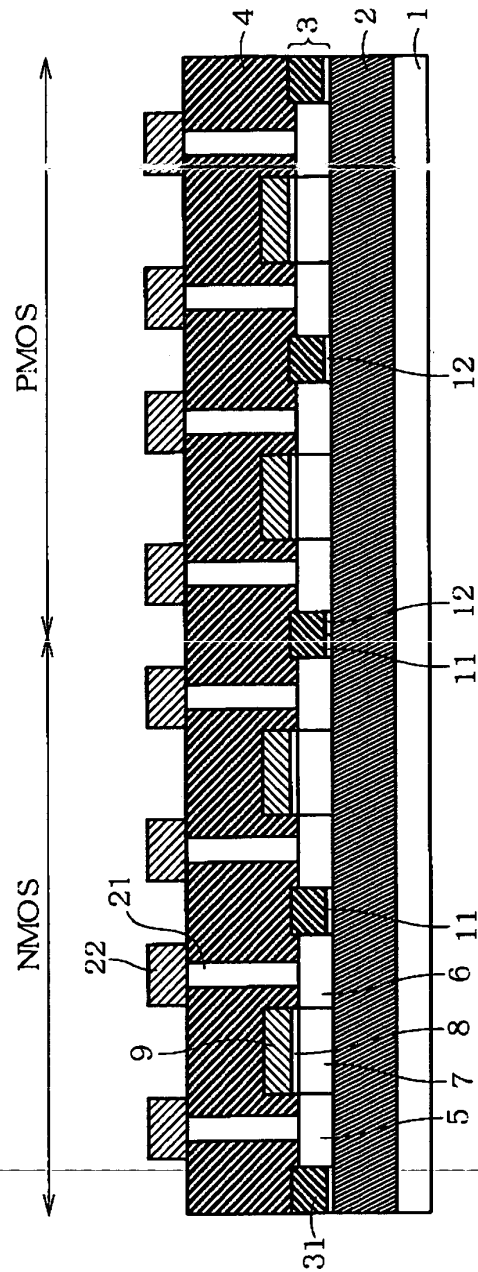
1 シリコン基板、2 埋め込み酸化膜、3 SOI 層、3 A, 3 B 部分 SOI 層、4 層間絶縁膜、5, 5 s, 5 t ドレイン領域、6, 6 s, 6 t ソース領域、7 チャネル形成領域、8 ゲート酸化膜、9 ゲート電極、10, 20 ボディ領域、11 ウェル領域（p 型）、12, 28 ウェル領域（n 型）

)、31 部分酸化膜、32 完全酸化膜、33 酸化膜、44, 44A, 44B 部分トレンチ、48 完全トレンチ、61, 62 ポリシリコン領域、75~77 低誘電率膜、78, 79 シリコン酸化膜、80, 86~89 接続領域。

【書類名】

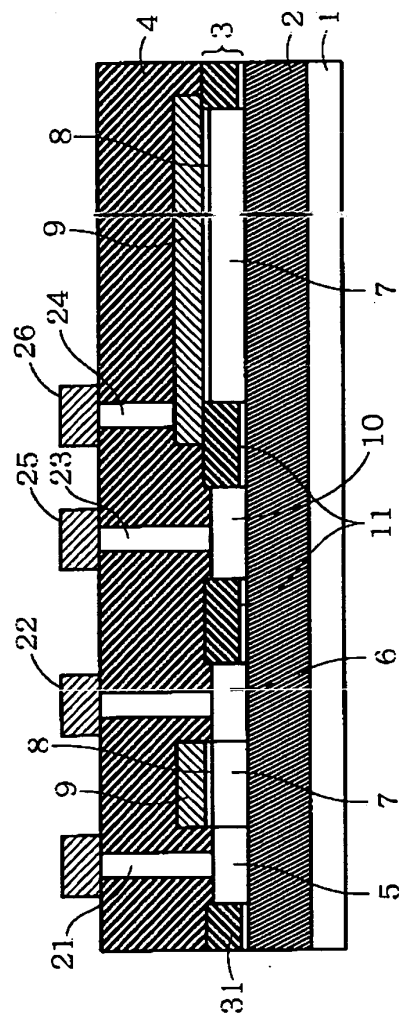
図面

【图 1】



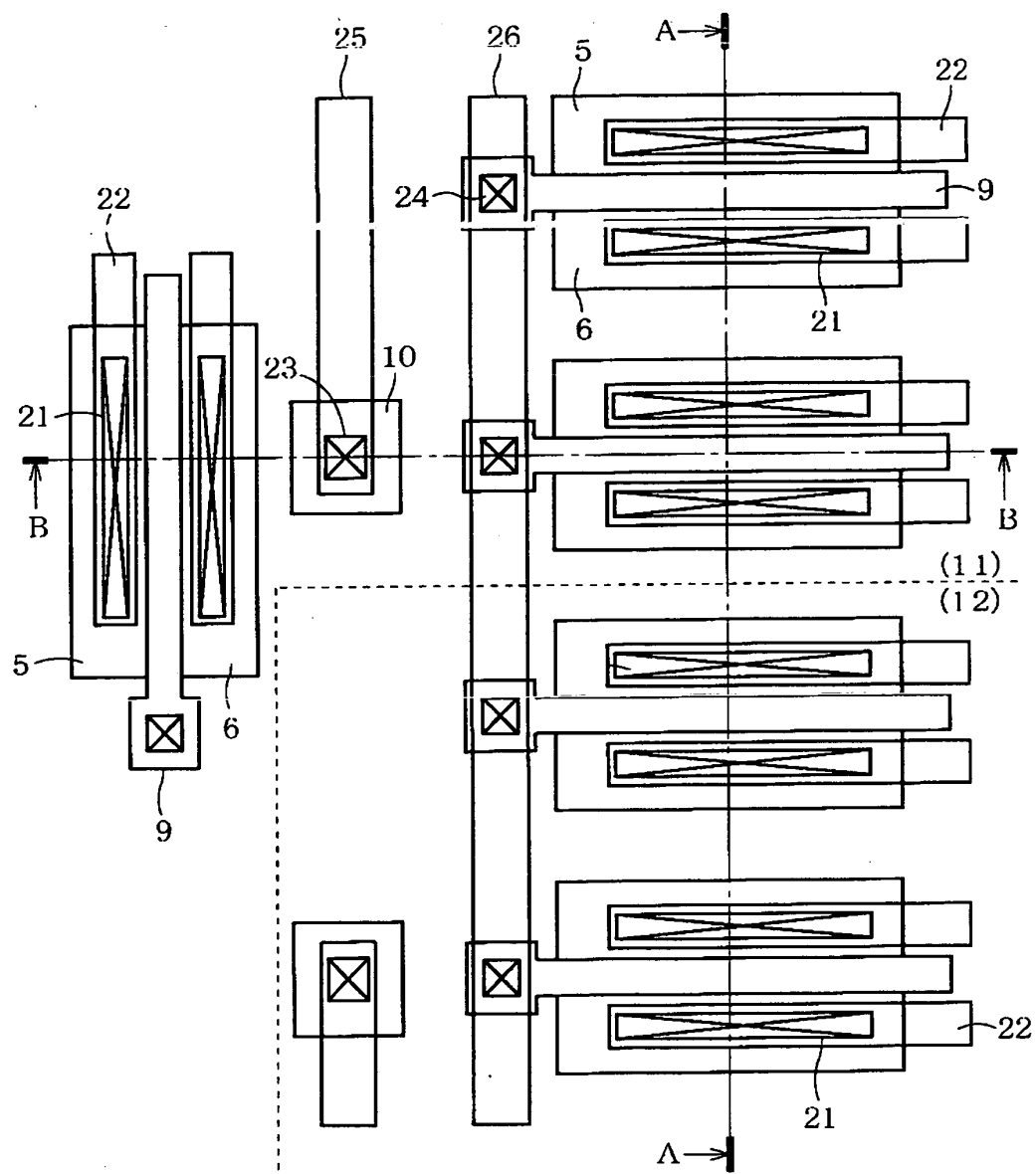
1 : シリコン基板	2 : 埋め込み酸化膜
3 : SOI 層	4 : 層間絶縁膜
5 : ドレイン領域	6 : ソース領域
7 : チャネル形成領域	8 : ゲート酸化膜
9 : ゲート電極	1 1 : ウェル領域 (p 型!)
1 2 : ウェル領域 (n 型)	3 1 : 部分酸化膜

【図 2】

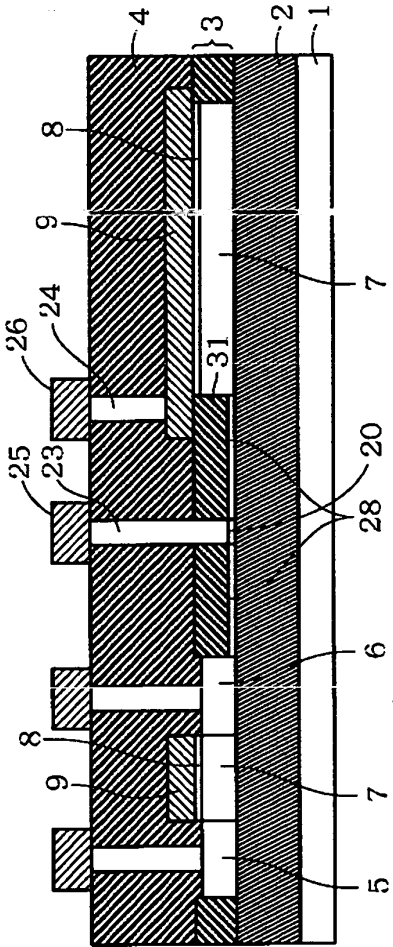


## 10 ボディ領域

【図 3】



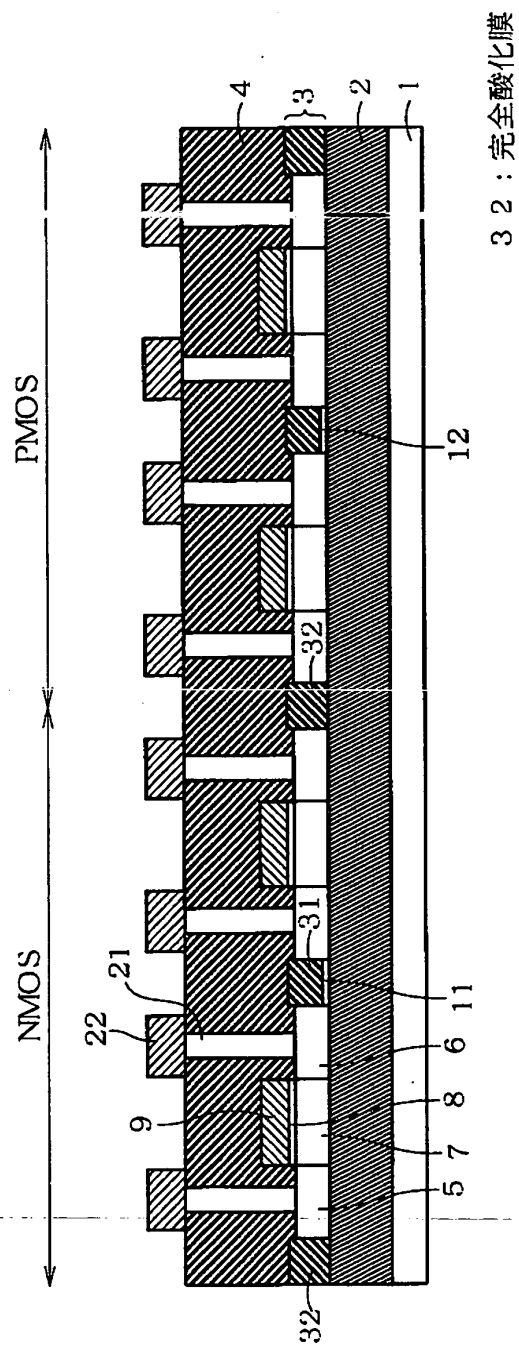
【図4】



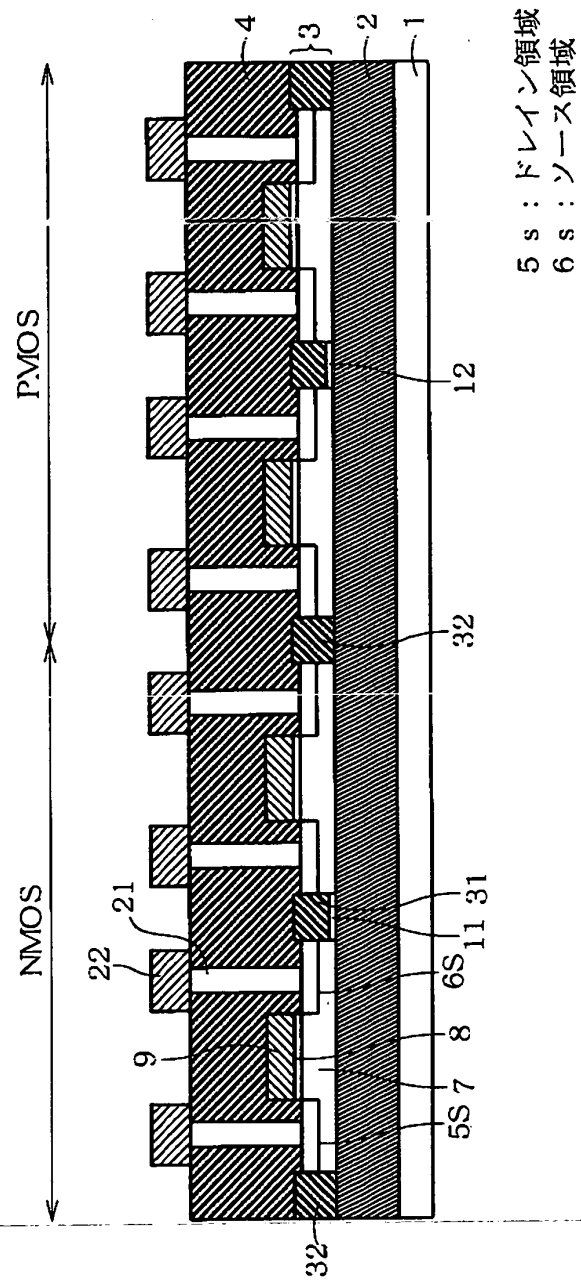
20 : ボデイ領域  
28 : ウェル領域



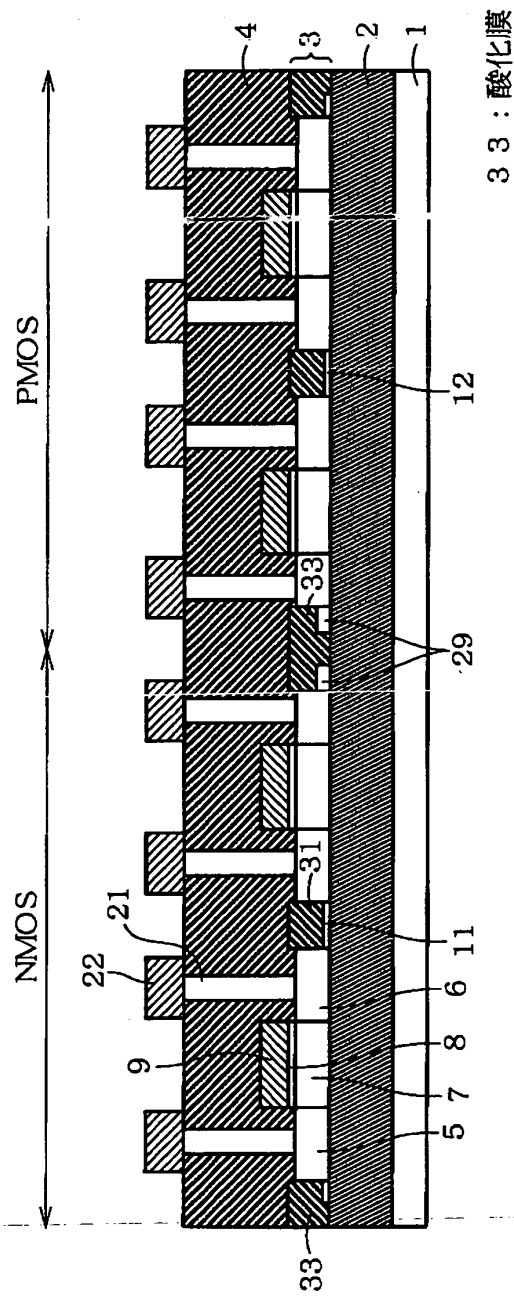
【図 5】



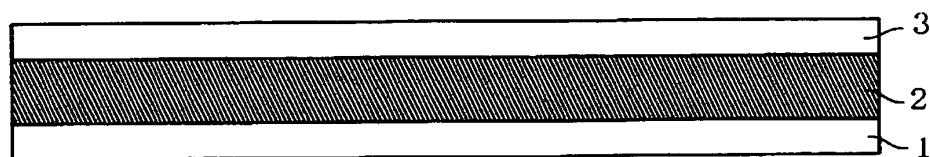
【図6】



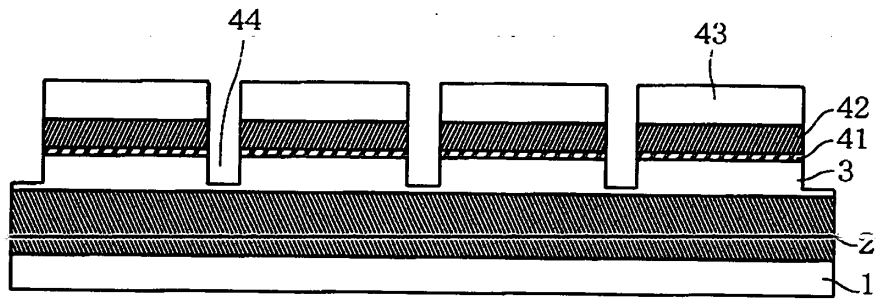
【図 7】



【図 8】

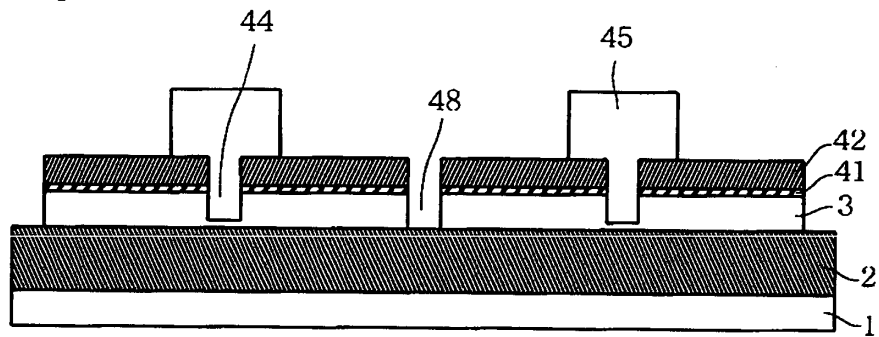


【図9】



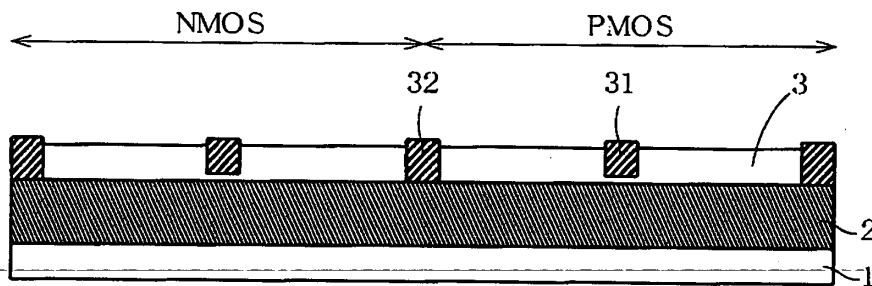
44 : 部分トレンチ

【図10】

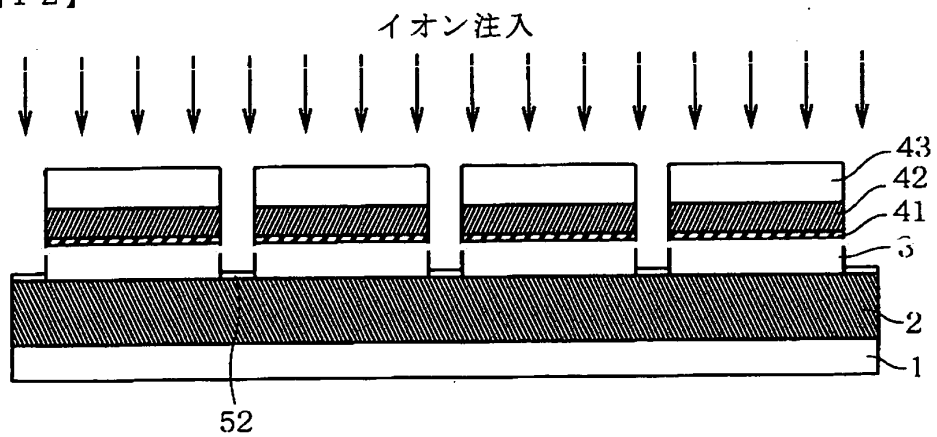


48 : 完全トレンチ

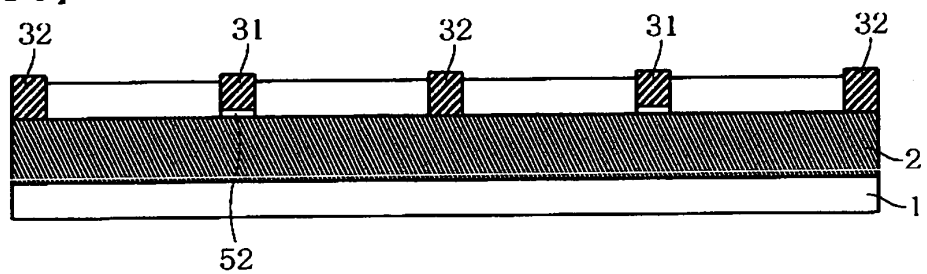
【図11】



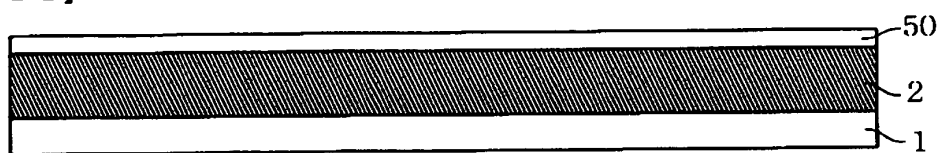
【図 1 2】



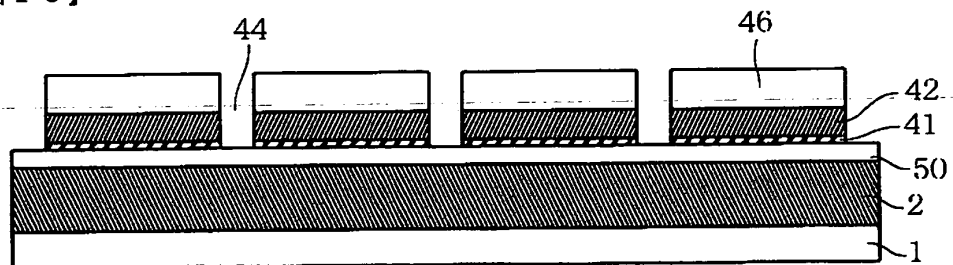
【図 1 3】



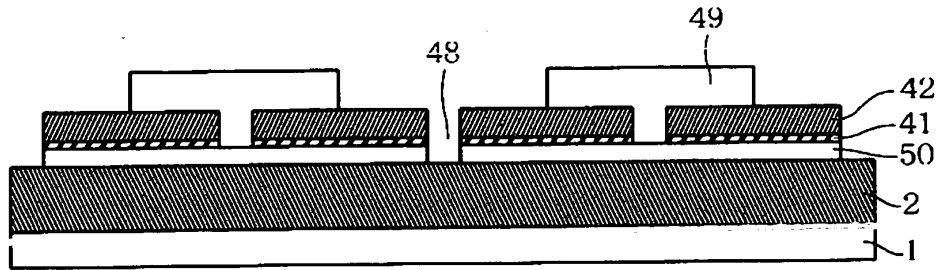
【図 1 4】



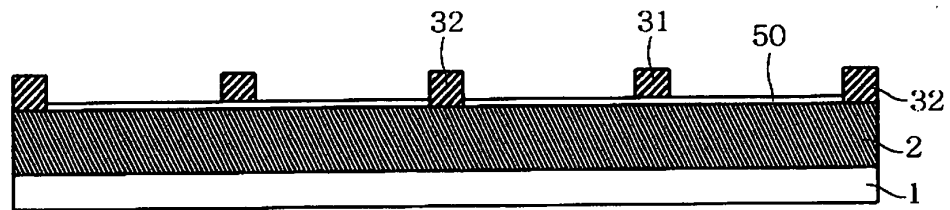
【図 1 5】



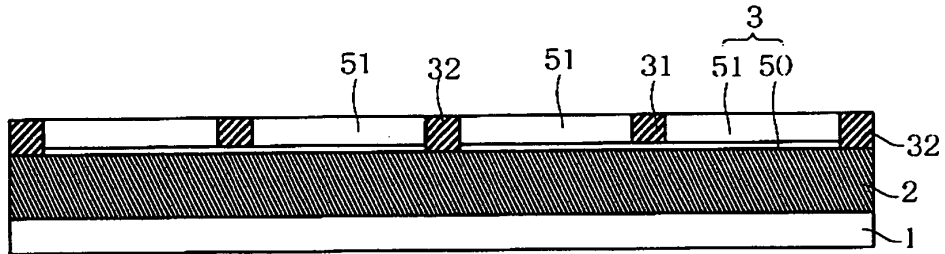
【図16】



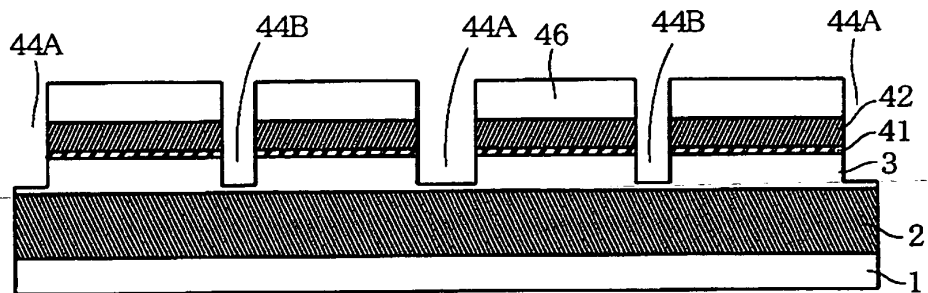
【図17】



【図18】

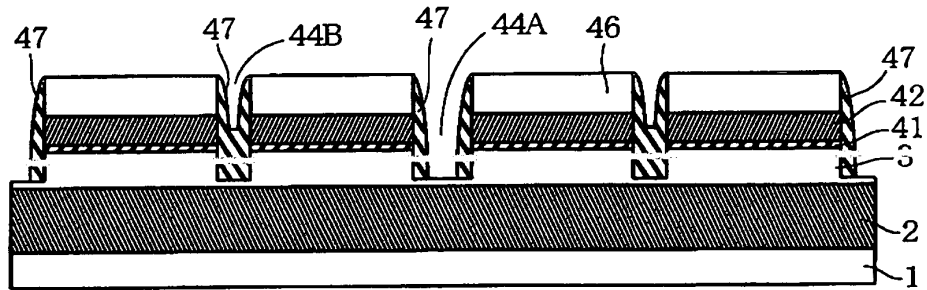


【図19】

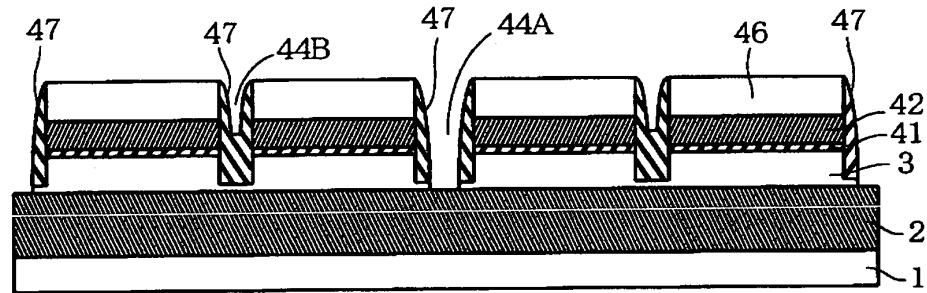


44A, 44B : 部分トレンチ

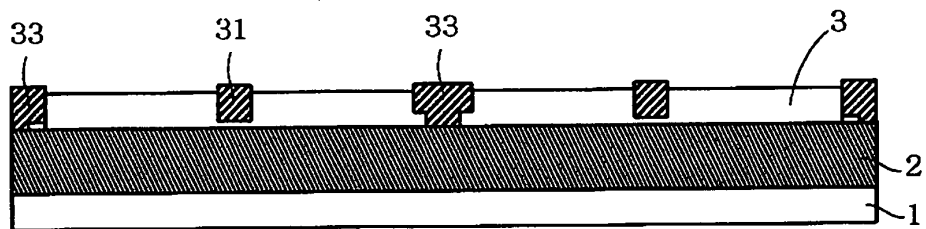
【図 20】



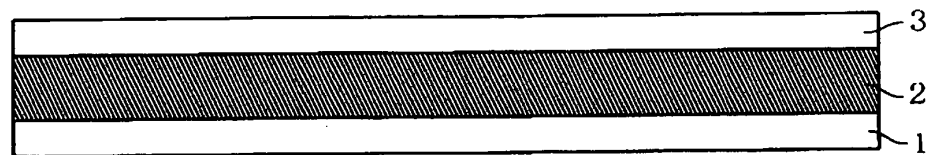
【図 21】



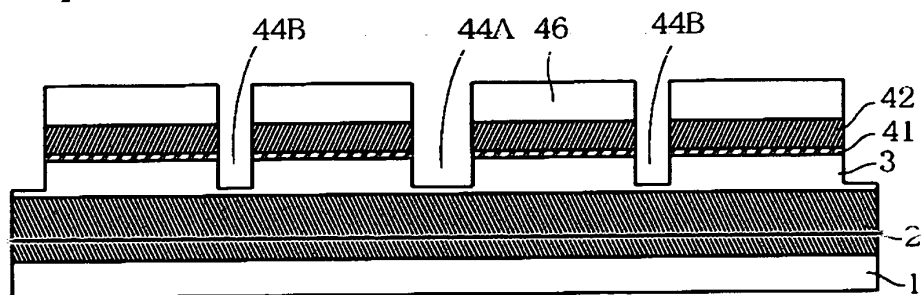
【図 22】



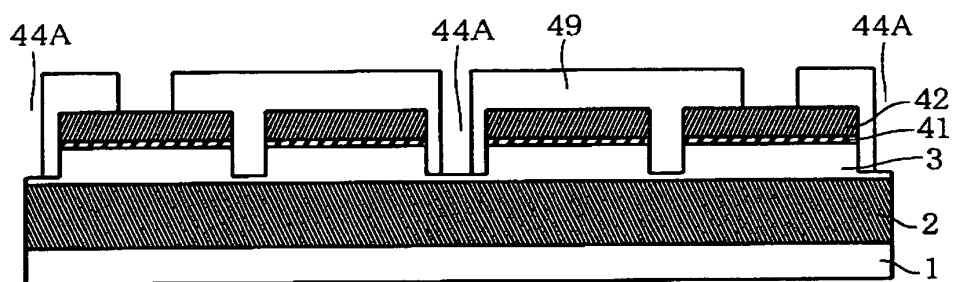
【図 23】



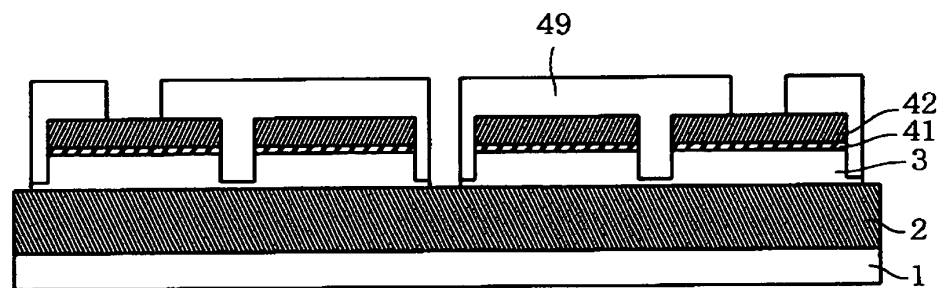
【図 24】



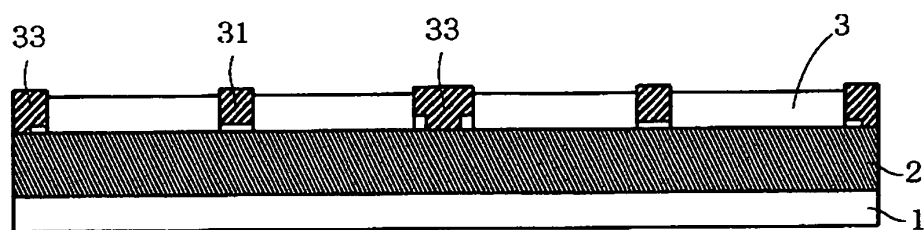
【図 25】



【図 26】

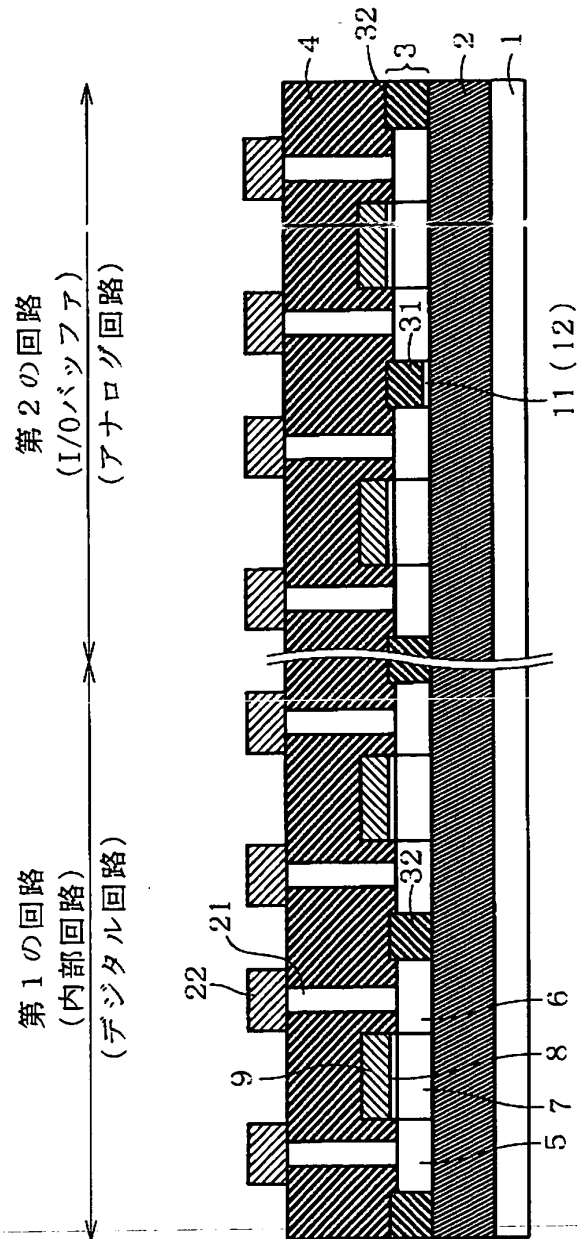


【図 27】

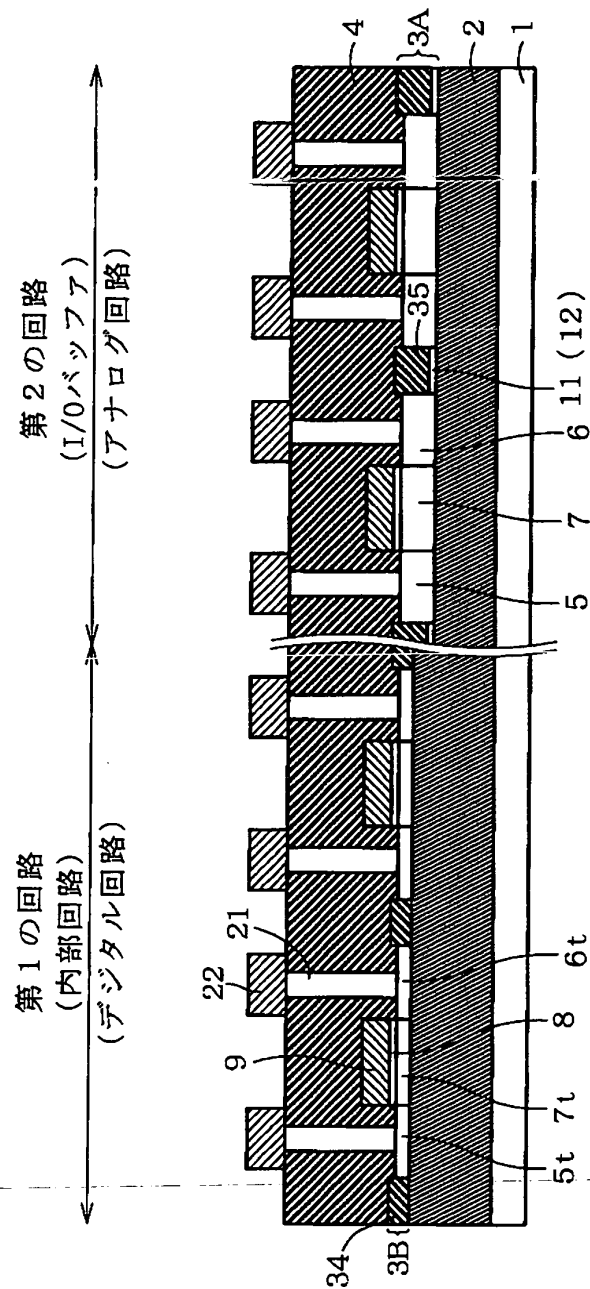




【図28】

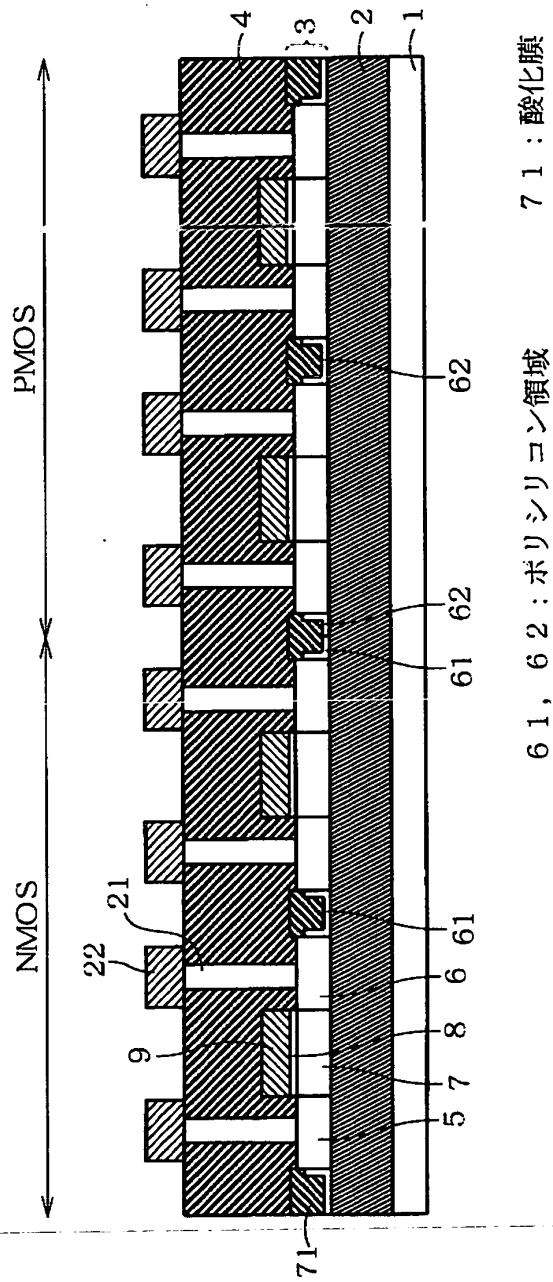


【図 29】

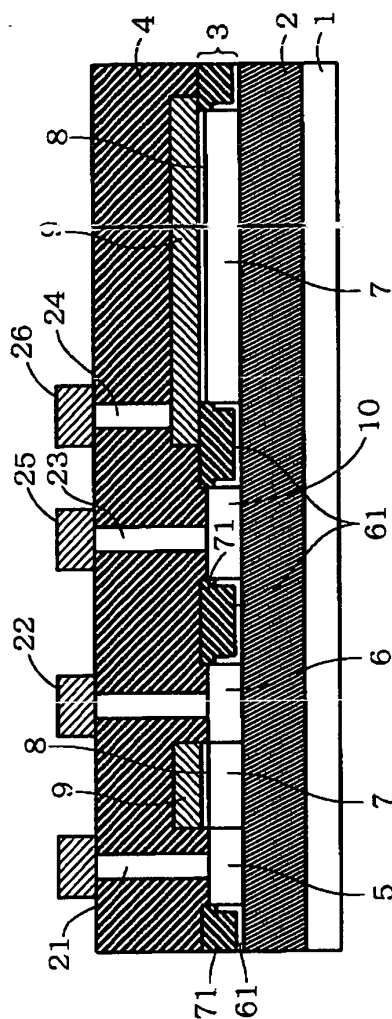


3A, 3B: 部分SOI層

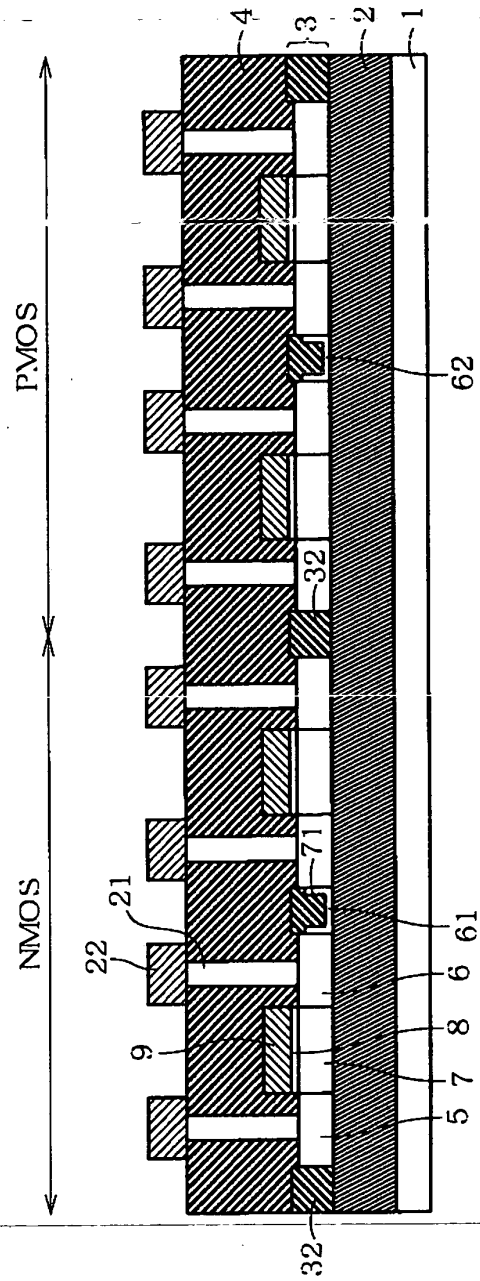
【図 30】



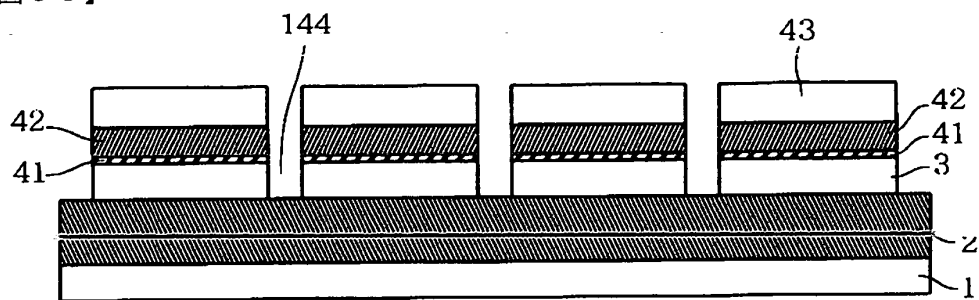
【図 3 1】



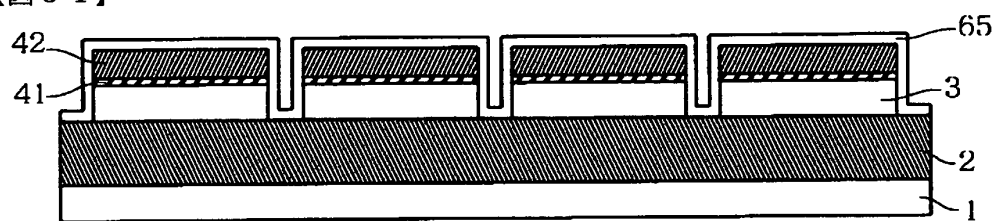
【図 32】



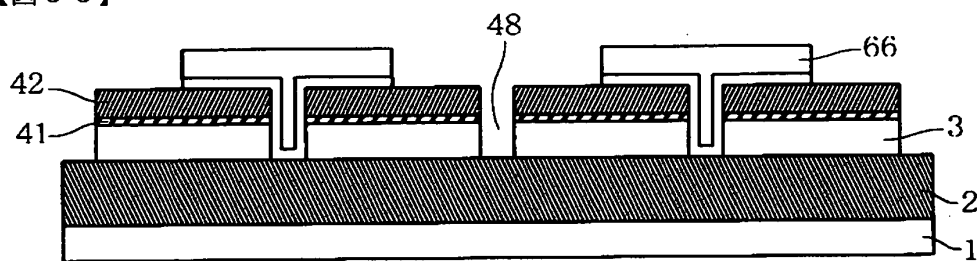
【図 3 3】



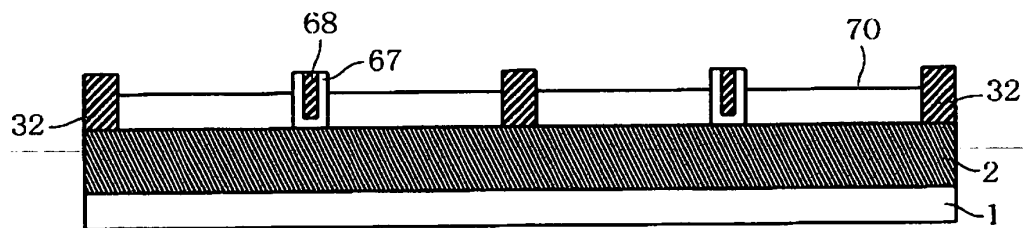
【図 3 4】



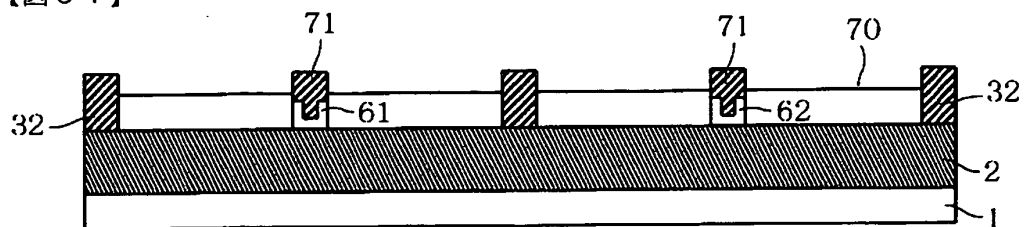
【図 3 5】



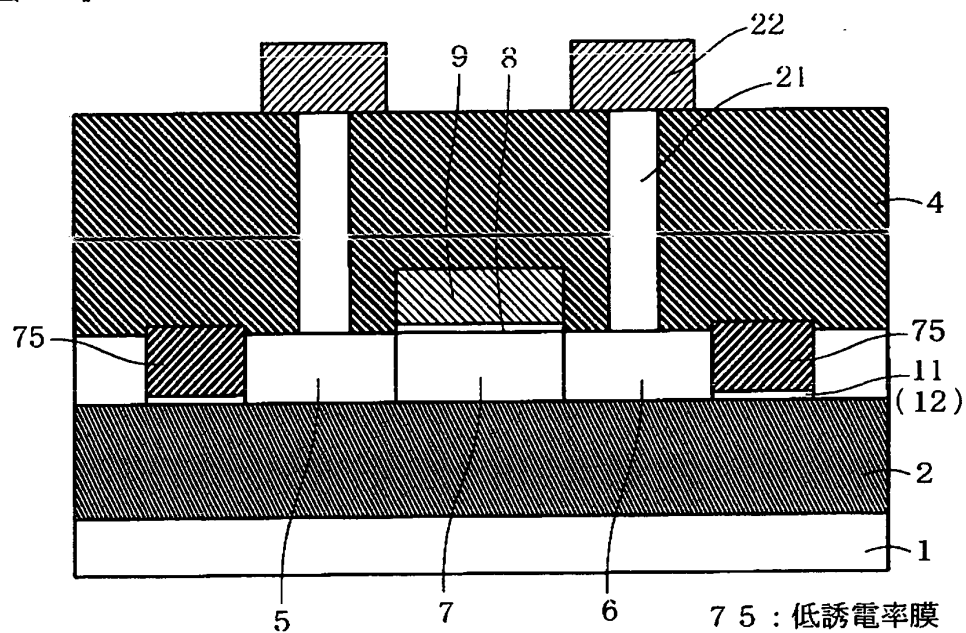
【図 3 6】



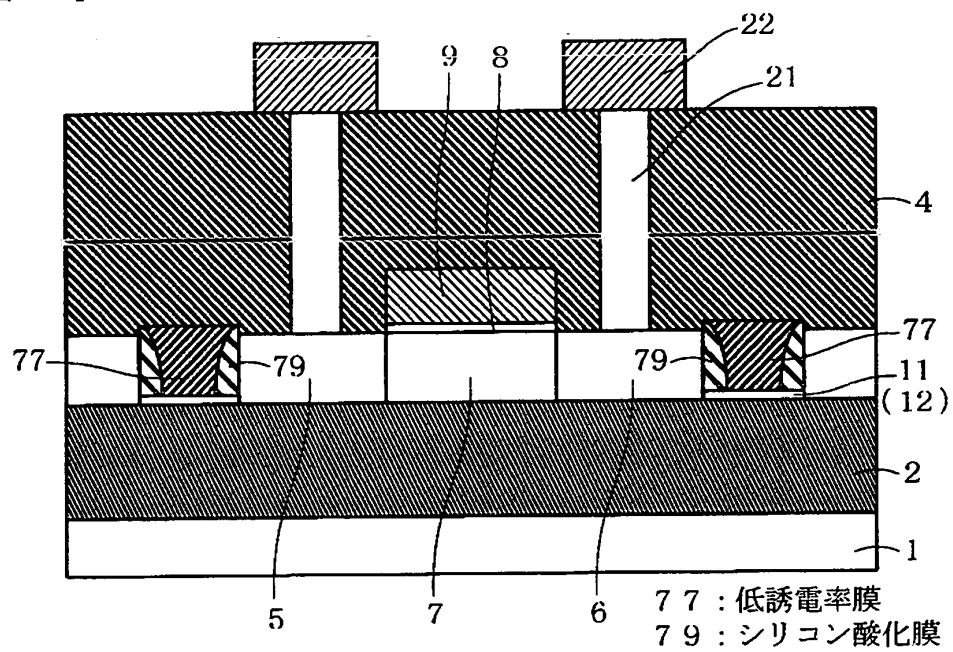
【図 3 7】



【図 3 8】

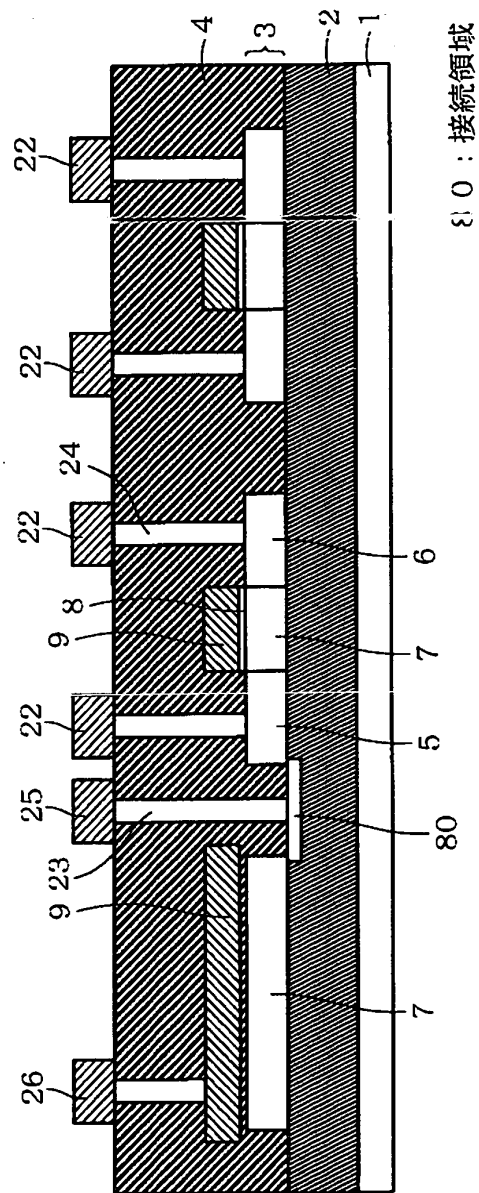


【図 40】



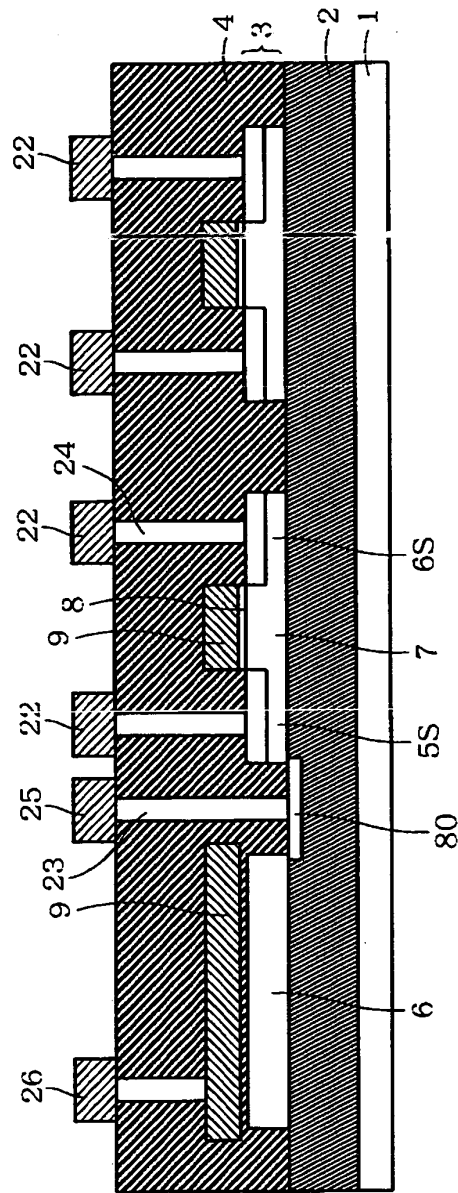


【図 41】

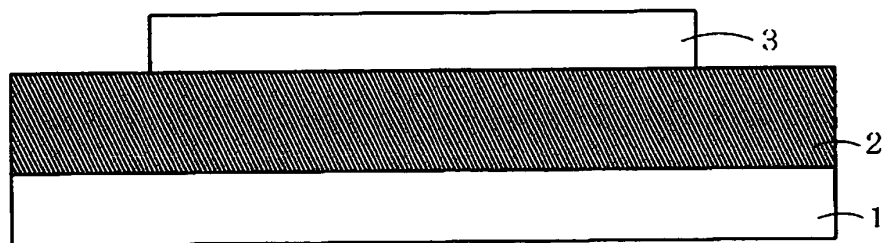


80 : 接続領域

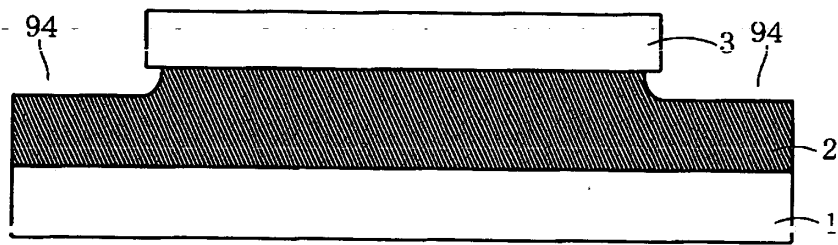
【図 4 2】



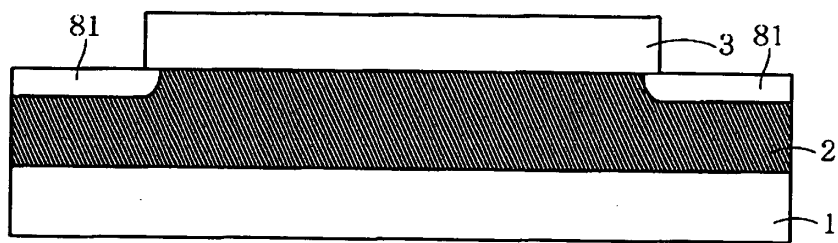
【図 4 3】



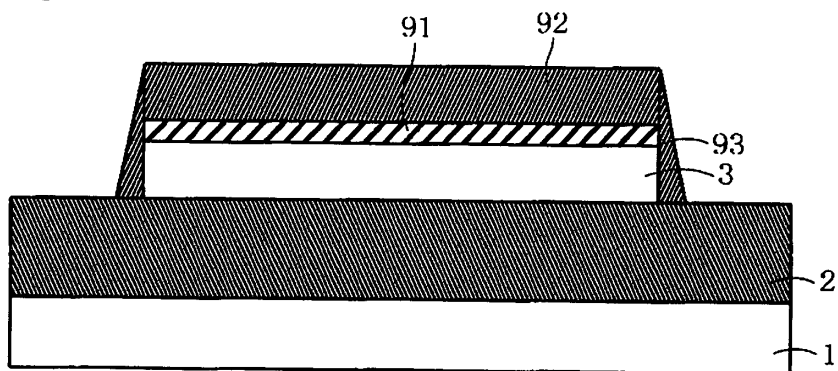
【図44】



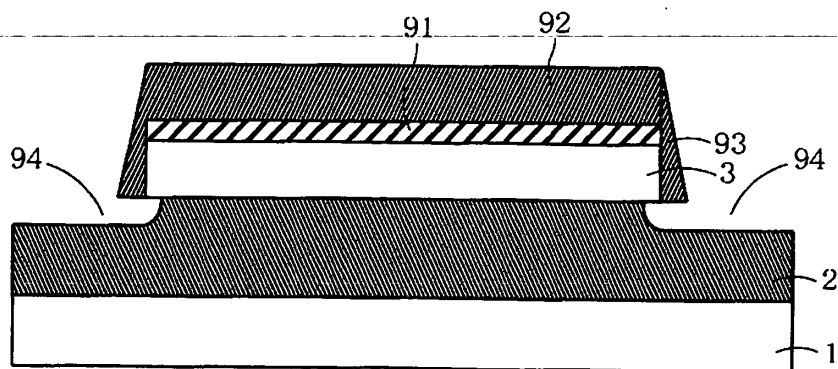
【図45】



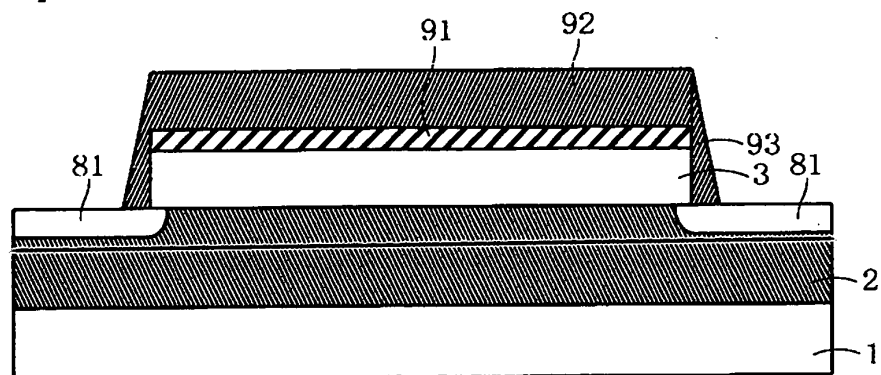
【図46】



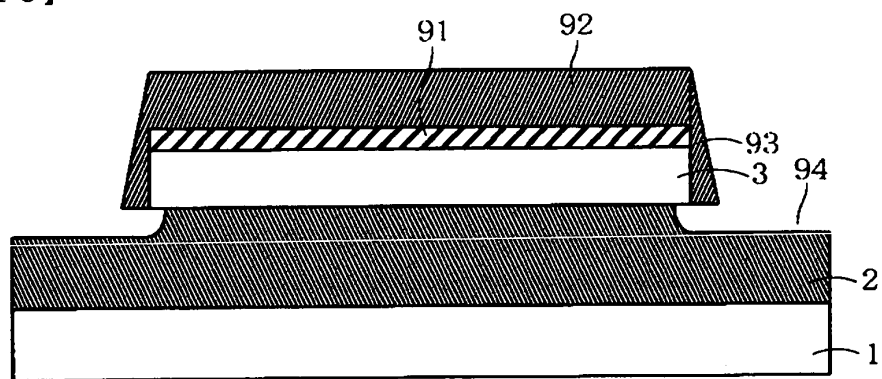
【図47】



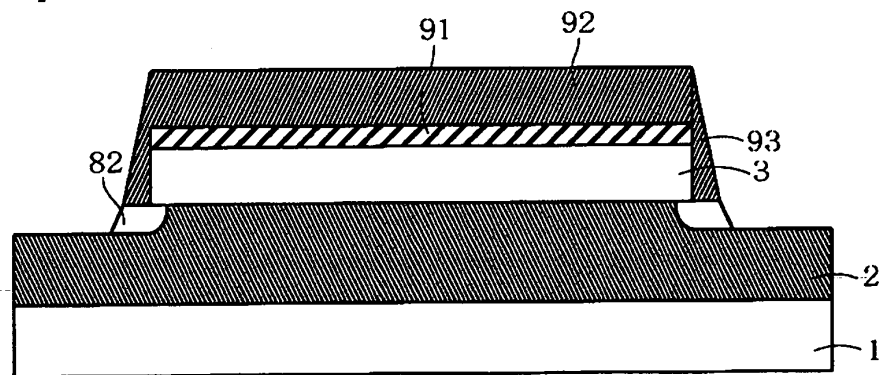
【図48】



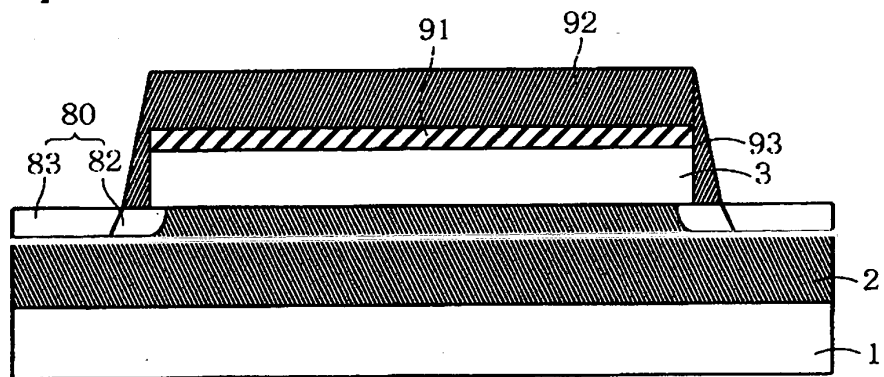
【図49】



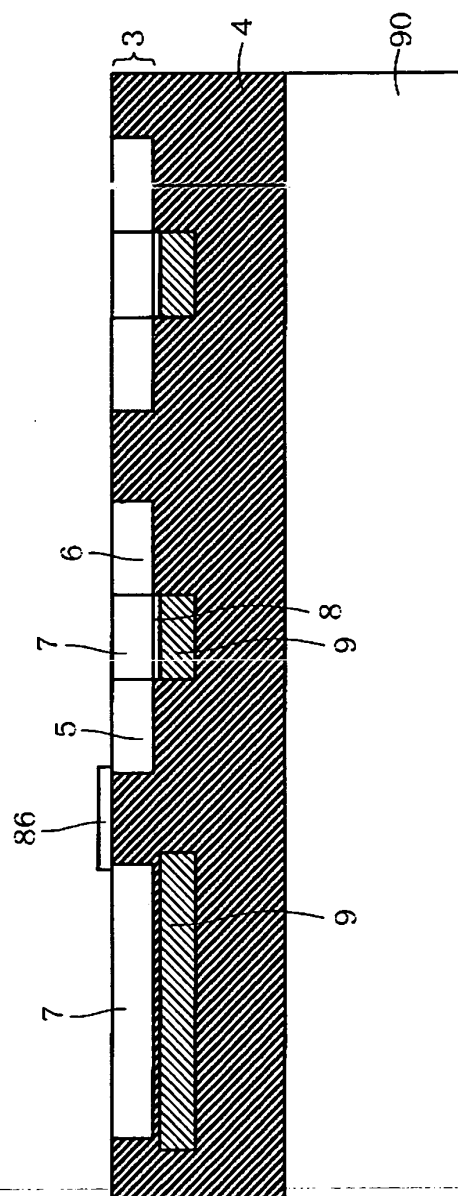
【図50】



【図 51】

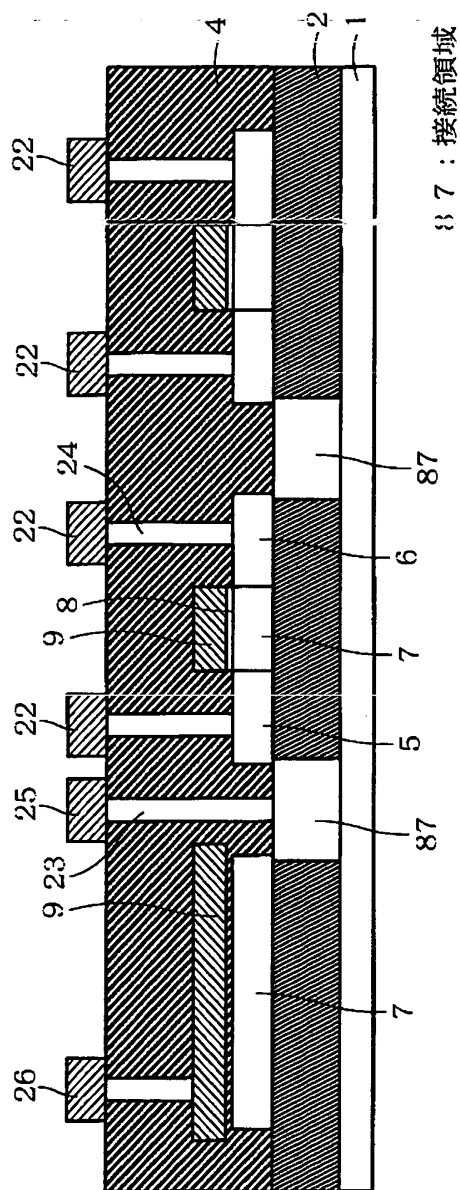


【図 52】

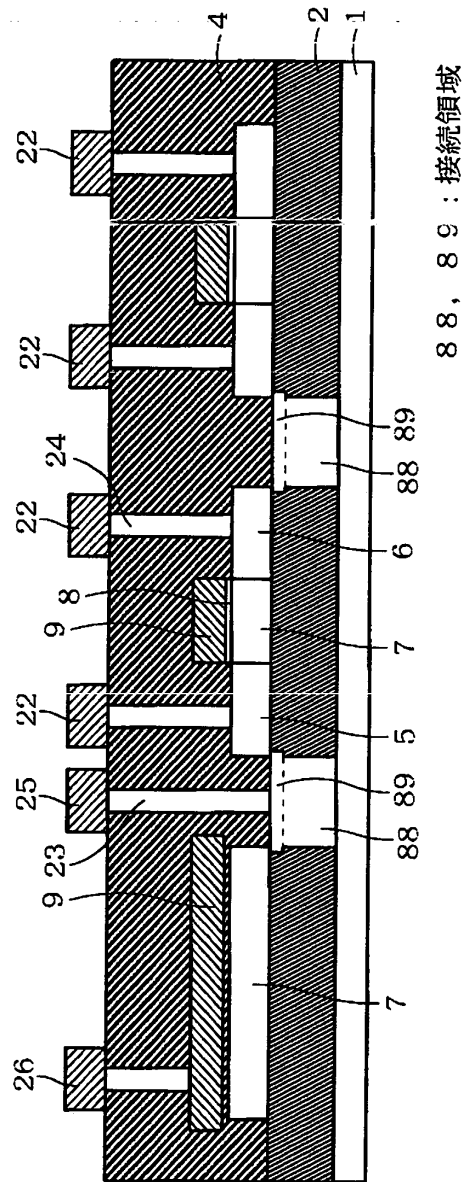


86 : 接続領域

【図 53】

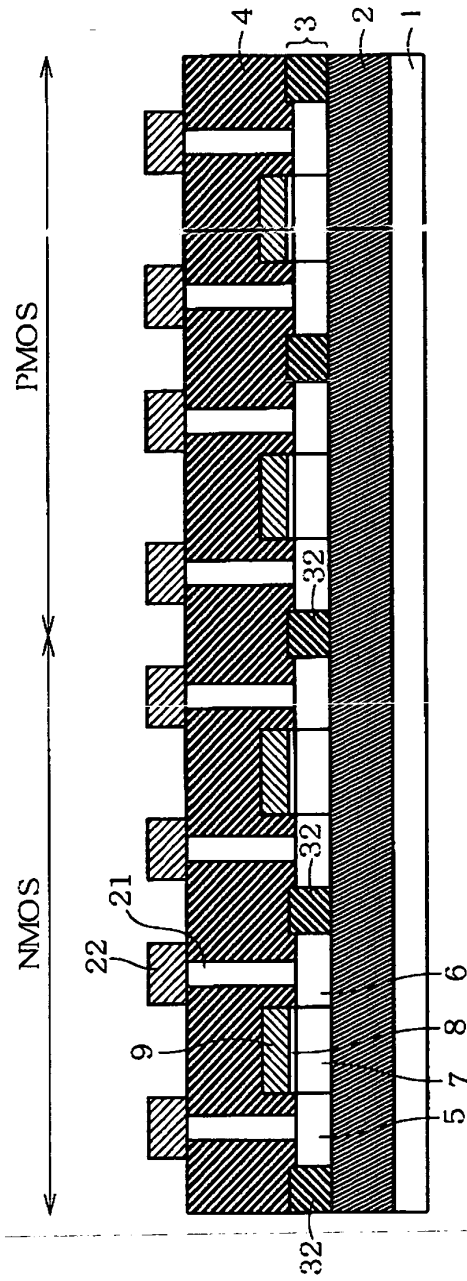


【図54】





【図 55】



【書類名】 要約書

【要約】

【課題】 基板浮遊効果の低減を図ったSOI構造の半導体装置を得る。

【解決手段】 SOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜31によって分離される。NMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11が形成され、PMOSTランジスタ間を分離する部分酸化膜31の下層にn型のウェル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11及びn型のウェル領域12が隣接して形成される。ボディ領域は隣接するウェル領域11に接している。層間絶縁膜4上に形成された配線層は、層間絶縁膜4中に設けられたボディコンタクトを介してボディ領域と電氣的に接続される。

【選択図】 図1

特平10-367265

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社